

## 審査の結果の要旨

氏名 久本 大

本論文は「デバイス構造に着目したディープサブミクロン MOSFET の高性能化の研究」と題し、MOS 電界効果トランジスタ(MOSFET)の微小化に伴って現れる短チャネル効果などの欠点を、新しいデバイス構造を創出することによって回避し、微小化によって本来期待される高性能のデバイス動作を実現させた研究の結果を論述したもので、全 7 章に分けてその内容が述べられている。

第 1 章は序論であって、集積回路技術の進展に伴って MOSFET に要求される微小化、特に短チャネル化とその結果生じる短チャネル効果等の問題点を、微小化の設計指針であるスケーリング（比例縮小）原理に即して整理し説明している。

第 2 章は「低濃度チャネルにおける短チャネル効果の抑制」と題し、しきい電圧を上昇させないためにシリコン基板不純物濃度を低く保って短チャネル化を行う場合に、短チャネル効果の発生を抑制する手段としてチャネル表面付近の基板不純物濃度を低くした構造を検討し、その発展としてチャネルの表裏にゲート電極を設けるダブルゲート構造が有効であることを述べ、この構造をバルク基板の上で実現させる新構造デバイス DELTA を提案して、その解析と試作実証によって、低不純物濃度と短チャネル化が両立できることを明らかにしている。

第 3 章は「ソース、ドレイン構造に起因する寄生抵抗効果」と題して、ソースおよびドレイン部分の拡散層にシリサイドを用いる従来の構造では、浅い接合になるほど寄生抵抗によってスケーリング通りの高性能化が妨げられることを解析と実験によって示し、これを解決するためにソース・ドレイン部の積み上げ構造を提案して、選択タングステンプロセスによる金属層の積み上げ構造を採用することによって寄生抵抗を減少させ、接合深さ 30nm の極浅接合までスケーリング則に沿った高性能化が可能であることを実証している。

第 4 章は「ゲート構造が高速動作に及ぼす効果」と題し、ゲート線幅が小さくなった時タンシリサイドによるシリサイド構造では粒界との関係で抵抗が増大する細線効果が現れることを明らかにし、これに代わるものとして選択 CVD プロセスを用いた自己整合による T 字型ゲートを採用してゲート抵抗を低減させた成果を述べている。

第 5 章は「SOI デバイスにおけるシリコン基板の影響」と題して、携帯情報機器における高周波通信応用のために SOI 構造を採用した場合に、シリコン基板による信号損失の程度を評価し、裏面から基板を除去したサスペンデッド構造とすることによって MOSFET およびスパイラルインダクタがより良好な高周波特性を示すことを実証している。

第 6 章は「サブテンスミクロン領域における MOSFET の課題とデバイス構造」と題して、以上の研究をもとにディープ・サブテンスミクロン（25nm 以下）

領域における最適の MOSFET 構造を検討し、低濃度チャネルでもシリコン・ゲルマニウム混晶ゲートを用いることによって閾値制御ができることを示し、積み上げ拡散層による T 字型ゲートを採用した FinFET の提案と試作によって、平面寸法の微細化によらずに電流駆動力などの特性向上が可能であることを実証している。

第 7 章は結論であって、以上の研究の結果を総括し、本研究の意義と今後の展望を述べている。

以上これを要するに本論文は、ディープサブミクロン寸法領域において高性能を発揮できる MOSFET の新しい構造を提案し、デバイスを作製してその優れた効果を実証したものであって、電子工学の発展に寄与する所が少なくない。

よって本論文は博士（工学）の学位請求論文として合格と認められる。

ディープサブミクロン寸法領域の集積回路においても短チャネル効果等の弊害がなく高性能を発揮できる、MOS 電界効果トランジスタ (MOSFET) の新しいデバイス構造を、理論的検討に基づいて提案、設計し、実際にデバイスを作製してその優れた効果を立証した