

論文の内容の要旨

論文題目 論理シミュレーション専用ハードウェアの高速化
 アーキテクチャとその実現方式に関する研究

氏 名 浜 村 博 史

近年 CMOSLSI 技術の急速な進歩にともない、デジタルシステム機器の高性能化と高機能化が 1990 年代に入り急速に進展した。システム全体の回路の殆どが LSI に集約され、また製品開発期間の短縮が加速化している今日、いかに早期に高品質な設計を実現して市場投入するかが、新製品開発における最重要課題となっている。しかしその一方で、LSI 集積技術の飛躍的な進歩による回路の大規模化と複雑化に伴い、ハードウェアシステムの論理検証は年々難しさを増している。このような背景から、大規模化するデジタル回路の論理検証を高速に行う手段の一つとして、論理シミュレーション専用ハードウェアの高性能化が求められている。

シミュレーション専用ハードウェアは、1980 年代の初頭以来、数多くの研究開発が行われて来た。しかし、これらの研究の多くは、扱う遅延モデルや、回路動作の評価単位あるいは評価レベルの問題によって性能向上率に限界があった。本研究では、システムレベルの大規模論理回路の高速論理検証を目的に、2 種類の専用ハードウェアについて上記の性能限界を打破する新しい高速化方式を提案し、その有効性を検証する。一つは、クロック系回路を含む回路全体の動作検証を目的に、2 種遅延モデル方式によるタイミング込みの高速論理シミュレーションとシステム分割方式によるシミュレーションの高スループット化を実現するイベント方式専用ハードウェア SP2(Simulation Processor-2)のアーキテクチャと実現方式を提案する。もう一つは、同期回路におけるシステム論理系回路部分の高速論理検証を目的として、ブロックレベル評価方式による高速処理化と分岐を含む複合命令方式によるシミュレーション対象回路の大規模化を実現するレベルソート&コンパイル法に基づくサイクルベース方式専用ハードウェア SAHARA(Simulation Acceleration Hardware Architecture) のアーキテクチャとその実現方式について提案する。

イベント方式専用ハードウェア SP2 は、1000 万ゲート級の大規模論理回路の高速シミュレーションを対象に、第 1 世代の単位遅延モデルベースのイベント方式ハードウェア SP1 [12]の実用において問題となったシミュレーションモデル生成の過程で生じるレーシングや発振などのタイミングエラーの除去と、シミュレーションスループットの向上を目標に開発されたマルチプロセッサ方式の専用ハードウェアである。SP2 の第 1 の特徴は、従来の単位遅延にゼロ遅延モデルを加えた 2 種遅延モデルによるシミュレーション手法で、単一遅延モデルによる高速性を維持しながら、専用ハードウェアの基本回路へのマッピング処理のためのタイミング調整の容易化を実現し、モデル生成時間を従来の SP1 システムに対して約 1/10 以下に短縮可能とした。また、第 2 の特徴は、ハードウェアシステムの論理的分割方式による複数シミュレーションの同時実行機能である。シミュレーションジョブの状況に応じて柔軟にシステム分割を行うことで、従来のシステム独占方式の SP1 に対して、最大 4 倍のシミュレーションスループットの向上が実現された。本システム分割方式は、SP2 以降の専用ハードウェアで多く採用されている。SP2 システムは、 $1.0\mu\text{m}$ の 8000 ゲート BiCMOS ゲートアレイ LSI を用いた最大 256 台の専用プロセッサからなるマルチプロセッサシステムで、最大 1600 万ゲートのシミュレーションが可能である。SP2 は、1992 年に開発されて以来、現在に至るまでに 3 システム (768 プロセッサ) が製作され、メインフレーム、スーパーコンピュータ及び UNIX サーバなどの多くの大規模ハードウェアシステムの開発に長く適用されている。また、SP2 は、最新の $0.13\mu\text{m}$ CMOS LSI テクノロジーを用いることによってシステム性能を約数倍向上することが可能である。SP2 のようなイベント方式の専用ハードウェアは、最近著しく性能向上が進む汎用並列システムに対して性能及びコストパフォーマンスで圧倒的な優位性が得づらくなる傾向にあるが、絶対性能が必要とされる論理検証や、最近の低消費電力設計や高性能設計によって複雑化する大規模回路におけるクロック系回路の動作検証に今日でも有効である。図-1 に 128 プロセッサ構成の SP2 ハードウェアの外観を示す。

サイクルベース方式専用ハードウェア SAHARA は、数 1000 万ゲート級の同期回路のシステム論理系回路を高速に論理検証するために研究されたレベルソート&コンパイル法に基づく超並列プロセッサベースの専用ハードウェアである。SAHARA は、過去のサイクルベース方式専用ハードウェア [7][8][35] [39]に対して大幅な性能向上を実現するために、新しい高速化技術としてブロックレベルでの評価処理方式と、分岐を含む複合命令による制御方式及び多段プロセッサ結合型の通信ネットワークを採用した。第 1 の特徴であるブロックレベル評価方式は、複数ゲートを一つの演算単位としてブロック化することでレベルソート&コンパイル法アルゴリズムにおける評価処理数を低減して性能向上を実現する。第 2 の特徴である分岐を含む複合命令セットと各プロセッサに配置したローカルプログラムカウンタによるサイクル同期の制御方式は、1 評価ブロック当たりの制御メモリの消費

量を低減することによって、シミュレーション規模の大規模化を実現する。第 3 の特徴である多段プロセッサ結合による通信ネットワークと専用通信方式は、プロトコルの単純性とデータ転送手順のプログラム化によって多パラレル伝送を可能とすることで、プロセッサ間のデータ転送の高速化を実現する。

SAHARA は、最大 88064 台の専用プロセッサからなる超並列システムで、最大約 6720 万ゲートのシミュレーションが可能である。SAHARA は、 $0.18\mu\text{m}$ CMOS LSI を用いることによって、ゲートレベル評価方式による市販のサイクルベース型専用ハードウェア CoBALTplus に対して約 5 倍以上の高速化が見込まれる。また、SAHARA は性能向上が著しい汎用並列システムに対して、性能及びコストパフォーマンスにおいて共に 100 倍以上の優位性が見込まれる。尚、本 SAHARA システムは、実装設計及びタイミング設計を含めた詳細設計と性能シミュレーションまで行ったが、実際のハードウェアは製作していない。

近年、半導体集積技術の飛躍的な進歩によって、LSI 及びシステムに実装する回路は飛躍的に増大した。その結果、設計の論理検証作業の長期化が顕在化している。また一方では、LSI マスクコストの高騰や製品開発期間の短期化による圧力によって、論理検証作業が一段と難しくなっている。最近の高性能サーバを始めとする大規模論理回路の例では、回路規模が数 1000 万ゲートにも達し、その動作検証のために延べ 1 兆クロック以上の論理シミュレーションが必要となっている。配線遅延時間が支配的になっている今日の LSI テクノロジーを用いた設計では、論理検証とタイミング検証を分離した検証手法が一般的である。そのようなことから、汎用並列システムと同様のパケット通信方式が必要となるイベント方式の専用ハードウェアの場合は性能向上率に限界があるため、今後高性能化が更に進む汎用機に対して圧倒的な優位性が得ずらくなって行くと推測される。一方、SAHARA タイプのサイクルベース方式の専用ハードウェアは、独自の通信方式を柔軟に工夫できる可能性があるため、パケット通信による汎用機に対してシステム性能で圧倒的な優位性を発揮し易いと考えられる。一般的に、性能向上の頻度が高い汎用機に対して、専用ハードウェアは開発コストと相対的な性能の経年低下率が高いと言う問題がある。しかしその反面、サイクルベース方式の専用ハードウェアの場合は、汎用機に対して性能及びコストパフォーマンス共に 100 倍以上の優位性が見込まれると共に、その圧倒的な処理速度によって汎用機では実効的に不可能な領域の論理検証を可能にすると言う点で、今後の大規模化する論理回路の検証に極めて有効な技術と考えられる。

尚、本論文は、十数年間に亘って、筆者が設計から製作に至る開発全般の意志決定を行った論理シミュレーション専用ハードウェアの開発プロジェクトにおける 2 機種 of 専用ハードウェア SP2 と SAHARA についてその研究開発の成果を纏めたものである。



図-1 128プロセッサ構成のSP2ハードウェアの外観