

## 論文の内容の要旨

論文題目 Study on Charge Retention Time of High Density-Future Memory  
(高密度次世代メモリの電荷保持時間に関する研究)

氏 名 金 一 権

本論文は、半導体高密度メモリがナノスケールレベルに集積された場合に問題となる電荷保持時間に関する研究を述べたのものであり、2つの観点からこの問題への解決先を提案している。一つは、既存技術を用いてメモリデバイスを微細化しつつ、セル接合技術、欠陥制御、新材料技術、バーンイン中劣化特性などを最適化し、保持時間劣化を防止する方策である。一方2つ目の方法は、メモリセルに新しいナノテクノロジーを適用し、制御可能なシリコン微結晶を用いた不揮発性微結晶メモリの電荷保持時間をフッ素処理により大幅に改善する技術の提案である。

ダイナミックランダムアクセスメモリ (DRAM) の信頼性を決める保持時間のテール分布は、電荷を保持するメモリセルにおける pn 接合の熱放出漏洩電流によって発生する。セル接合内に深い準位が存在すると高電界下で熱放出電流が発生する。このテール分布の改善は二つの方法がある。一つは、セル接合の空乏層に印加される電界を下げることであり、もう一つは、深い準位が発生する原因となるシリコンの結晶欠陥を低減することである。

セル接合の空乏層に印加される電界は不純物の濃度分布に依存する。本研究では角度制御と回転制御を含んだイオン注入法により局部的に濃度分布を形成する技術(BNITR)を提案した。この手法では、シャドウ効果により局部的に不純物の濃度を下げだけでなく、傾斜接合も形成可能である。この手法により短チャネル効果が抑制され、またセル接合の最大電界が低減することを実験により示した。本手法を DRAM に適用し、テール分布の改善を通じて保持時間が改善されることを実験的に確認した。

半導体技術の最小線幅が急速に減少するにしたがい、シリコン欠陥が電荷保持時間に及ぼす影響は大きくなる。シリコン欠陥は応力集中や熱エネルギーなどの原因により容易に致命的な転位に発展する。したがって、もともとシリコンウエハに存在している欠陥の制御は極めて重要である。シリコンウエハ 欠陥はシリコンインゴットの成長時の条件と熱処理によって制御可能である。急速冷却によって結晶中空孔を過冷却させた後、インゴット結晶の引き上げ速度を上げて結晶起因パーティクル(COP)の追加成長を抑えられる。この反応により、COP リッチの領域はウエハ全体に広がる。初期の段階で高密度に存在する COP は、酸素雰囲気中でアニールすることで空孔-格子間原子除去

メカニズムにより減少する。空孔は酸素析出を助けるので、バルクマイクロ欠陥が容易に形成され、ゲッターリング効果がよくなりシリコン欠陥が大幅に抑制される。この原理に基づき、引き上げ速度 1.8mm/分および冷却速度 9.8°C/分をシリコン結晶形成に適用し、実際に DRAM に適用して保持時間を大幅に改善することに成功した。

DRAM の高集積化においては、ドライエッチング工程に低損傷特性と高い異方性が要求される。ゲート電極端が強いプラズマに直接露出されると大きなエッチングエッジ損傷が発生する。これは界面劣化を引き起こし、メモリセル接合における熱放出漏洩電流の原因になる。本研究では、時間依存のバイアス印加法を用いてオーバーエッチ時に低バイアスを利用することにより、損傷が大幅に減り、DRAM の良い保持時間特性が得られることが実験的に示された。

DRAM の集積プロセスは極めて複雑であり、層間絶縁膜から水素と水分などが発生しメモリセルのシリコン/酸化膜界面まで拡散するので、水素と水分を完全に除去することは難しい。このため異常エッジチャネル効果が生じてしきい値電圧が低下し、保持時間劣化に大きな影響を及ぼす。異常エッジチャネル効果によるしきい値低下の原因は、水素と水分から発生する正電荷の界面内蓄積であることを明らかにした。500°C以上の熱処理で、水素と水分は  $H_3O^+$  という形態をとり界面内に正電荷を生じるのである。このモデルに基づいて、この課題を解決するための5つの改善方法を提案した。これらは、(1) 容量エッチングストッパーである SiN を形成する前にアウトガスを実施、(2) イオンの移動経路を遮断、(3) ゲート側面酸化膜を高温形成酸化膜に変更、(4) シリコンリッチの高密度プラズマ酸化膜形成工程の採用、および(5) 高密度プラズマ酸化膜形成中にフッ素を添加、である。

一方、DRAM 高集積プロセスにおいてポリメタルゲートスタック構造のワード線方式は、低抵抗と熱安定性を有するため、ワード線の遅延を克服するために必須の技術である。しかし、この技術は DRAM の他の既存工程の一部とは両立しないため、界面状態劣化によって保持時間の劣化原因となっていた。ゲートエッチング後の洗浄工程と選択酸化工程は、ゲートオーバーラップ領域の界面状態に大きな影響を与える。そこで、フッ化アンモニウムを含む溶液を利用してポリマー残量を除去するゲートエッチング後洗浄工程を提案し、また、タングステンの過酸化を避けるとともに良い抵抗特性を維持できるように選択酸化工程を最適化した。

バーンイン工程では、正常ビットには影響がなく、潜在的弱いビットのみ効率的に検出及び除去できるように進行する。ところが、 $0.15\mu m$  以下に集積した DRAM では、バーンイン中に保持時間劣化が発生してしまう。バーンイン中における潜在的弱いビットの不良メカニズム分析をすると、不良ビットの検出方法を改善することができる。そこで、ダイナミックストレス法を適用し、バーンイン条件と保持時間を関連を検討し、パッケージ後のバーンインと同じ条件に相当ウェハバーンイン条件を実現した。致命的潜在欠陥をもつ DRAM 試料では、バーンイン中の保持時間劣化はダイナミックストレスによって生じるホットキャリアが主な原因であることが明らかとなった。接合のホットな電子がシリコン/酸化膜界面に注入された場合、界面が不安定になるだけでなく最大電界も変化し、保持時間の劣化の原因になる。さらに、ダイナミックストレス条件を最適化することで潜在的に弱いビットを効率的に検出および除去できることを実験的に示した。

DRAM セルをこれ以上微細化することは、保持時間の確保がますます困難であるため、致命的な限界をむかえつつある。一方、不揮発性微結晶メモリは、既存メモリ技術との両立性や良好な保持時間特性などの特徴を有しており、DRAM 代替デバイスの候補として提案されている。シリコン微結晶は、トンネル酸化膜の表面ラフネスを増加させることによって、サイズの微細化、高密度化、およびサイズ均一性を得ることができる。本研究では、直径 4.5nm、密度  $5 \times 10^{11}/cm^2$  の球形微結晶を得る

ことに成功した。微結晶中に電子が注入されるとしきい値電圧が変化し、しきい値のシフト量は約 0.48V に達する。ところが、トンネル酸化膜の表面ラフネスが増加すると、トンネル酸化膜劣化ため、トンネル電流増加による保持時間特性劣化の問題が大きくなる。さらに、メモリの高密度化を進めるために、セル面積を微細化できる集積方法とレイアウトが要求されている。本研究では、5nm 厚のトンネル酸化膜、自己整合ポリシリコンコンタクト、タングステンビット線プロセスを用い、面積:0.0777 $\mu\text{m}^2$  (最小線幅を F とすると、面積は 4.6F<sup>2</sup>) という極めて小さな微結晶メモリセルを作製し、しかも 1つのセルで 2ビットを記憶できる 4しきい値動作を確認することに成功した。また、トンネル酸化膜をフッ素処理することによって信頼性を大きく改善をすることができた。これは、世界で初めての微結晶メモリ大量生産集積プロセスの提案である。

以上のように、従来の高集積 DRAM における保持時間の課題は、セル接合技術、欠陥制御、新材料技術、バーンイン条件の最適化することによって解決できることを明らかにした。さらにデバイスサイズを微細化しメモリの集積度を上げることは、従来の DRAM の延長技術では極めて困難であり、本論文で提案したシリコン微結晶メモリ技術等の新しいメモリ技術との従来技術の融合が必須であると考えられる。