

論文の内容の要旨

論文題目 ユビキタス・エレクトロニクスに向けた
低電圧 CMOS アナログ集積回路に関する研究

氏名 石田 光一

分散配置されたセンサモジュール間を無線通信によりネットワークを構成し、新たなサービス提供を可能にするユビキタス・エレクトロニクスは今後期待される分野である。ユビキタス・エレクトロニクスにより提供されるサービスはセキュリティ、気象データ収集、遠隔医療介護など様々なものが想定されている。これらを実現するセンサモジュールのハードウェアを抽象化して概観すると、要求される構成要素の機能は共通点が多く、温度や音などのアナログ値をセンサにより収集してデジタル信号に変換するセンサ部、情報の処理や制御を行うプロセッサ部、他のモジュールとの通信を行う無線通信部に大別される。モジュールを大量に分散配置するために、小型、低コスト、かつ低消費電力動作が可能であることが求められているが、センサ部と無線通信部はアナログ回路技術に立脚しており、低電圧化や消費電力化が困難とされる回路ブロックである。本研究ではセンサからのアナログ信号をプロセッサに伝えるアナログ・デジタル変換回路に焦点を当て議論を進めていく。

第一章では本研究の背景として、ユビキタス・エレクトロニクスに向けたアナログ集積回路への要求事項や課題などについて述べている。センサモジュールの小型、低コスト化を図るためには、部品点数を極限にまで減らす必要がある。このため、デジタル回路とアナログ回路の全ての回路機能を一つのシリコンチップ上に実装する SOC(System-on-a-chip)という形態をとることが究極的な姿である。デジタル回路はスケーリング則に従い、小型高性能化の進化を遂げてきた。このデジタル回路用の低電圧プロセスに如何にしてアナログ回路を混載するかが課題である。

第二章では、スイッチトキャパシタ方式 (SC) 方式による CMOS アナログ集積回路のスケーリングについて考察している。アナログ回路においては信号雑音比が重要な性能指標となるが、電源電圧の低下にともない、取り扱うことができる信号の振幅が制限されると、雑音も抑制しなければ信号雑音比は劣化してしまう。信号雑音比を維持したまま電源電圧を下げようとする回路の消費電流が 2 乗で増加し、結果的に消費電力は増加してしまうことが知られており、必ずしもスケーリングによるメリットが享受できるわけではないとされてきた。一般にはデジタル用プロセスと比して古い世代のプロセスを用いて実装され、スケーリングについてもこれまで多くは検討されてこなかった。SC 回路は複数のキャパシタ、切り替えスイッチとしてのトランジスタ (MOSFET) およびキャパシタを充放電する演算増幅器で構成され、キャパシタの大小比を利用し

て回路特性を得る方式である。同一の信号雑音比をもつ回路を様々な世代のプロセスを用いて実装仮定した場合、スケーリングによる微細化が進むほど演算増幅器や切り替えスイッチは小型に設計することが出来るが、熱雑音レベルを抑制するためにキャパシタの容量は大きくしなければならない。SC 回路全体の面積では、スケーリングによって面積が単調増加するのではなく、 $0.35\mu\text{m}$ などの世代では演算増幅器が支配的で、 65nm 世代ではキャパシタが支配的となり、 $90\text{nm} \sim 0.15\mu\text{m}$ の世代で全体の面積の極小値をとりうるということがわかった。スケーリングが進むほど消費電力は増大するので、高精度なアナログ・デジタル変換器にとってはスケーリングさせるメリットは少ないが、ユビキタス・エレクトロニクスを前提とした温度、音などを 6~8 ビット程度の比較的low解像度で取得する用途には、電力、面積、コスト的なメリットが得られる可能性があることがわかった。さらに、スケーリングによってデバイスの物理的寸法が小型化することでゲート酸化膜の耐圧の問題が生じるため電源電圧を下げざるを得ないのであるが、これを回路的に工夫してゲート酸化膜のストレスを緩和することが出来れば、電源電圧を引き上げて消費電力増加の問題もクリアするので、アナログ回路においてもスケーリングの恩恵を享受できることが示された。

第三章ではユビキタス・エレクトロニクスに向けた低電圧 CMOS アナログ集積回路に必要な回路要素として、低しきい値デバイスを用いた低電圧 SC 回路を具体的に提案している。

スケーリングに従ってデバイスの電源電圧およびしきい値電圧は低下する傾向にある。低しきい値デバイスを用いる場合の問題点としては、デバイスをオフにしたときに流れるサブスレッショルドリーク電流がある。増幅器は常にバイアス電流を流した動作状態にあるので影響はないが、キャパシタ切り替え用の MOSFET においてリークの影響が顕著となる。すなわち、演算に用いるキャパシタの電荷が切り替えスイッチ部のリーク電流によって演算誤差を起し、さらにこの誤差が非線形であるためにデジタル回路による補正が困難である。そこで、サブスレッショルドリーク電流の影響を受けない SC 回路方式が重要であり、本研究では2種類提案する。

一つめは、電源負極基準電圧(V_{SS})よりもさらに低い負電圧をスイッチ用の MOSFET ゲート端子に印加することで遮断時のしきい値電圧を見かけ上高くして遮断の特性を向上させる SCCMOS 方式である。導通時には通常の回路方式通り正電源電圧(V_{DD})を印加することで導通時の特性は確保される。ただし、そのまま MOSFET に負電圧を印加したのではゲート酸化膜にストレスを与えるため、MOSFET スイッチを2段ないし3段積みにして、そのうち1段のみに負電圧を印加、残りのスイッチには電源電圧範囲内の制御信号を印加することでストレスの緩和を図る。本方式を $0.15\mu\text{m}$ 、SOI プロセスにて実装した 0.5V 動作のシグマデルタ変調回路を用いて実証評価を行った。既存方式と比較して非線形ひずみは抑制され、アナログ変換回路としてダイナミックレンジも 6dB 以上の改善が図られることが確認された。

二つめは、キャパシタ充放電の基準電圧を電源電圧のほぼ中点にもうけ、制御信号そのものは電源電圧範囲で振幅させる。入力に用いられるトランスマッションゲートについては MOSFET を2段積み構成として、遮断時にはその中点を中間電位に強制的に接続する MOSFET をもう一つ設ける。この回路形状から T Analog-Switch と呼ぶことにする。これによって、負電圧を用いることなく全ての MOSFET のゲート・ソース間電圧(V_{GS})が逆バイアス電圧になり、遮断時のリークを抑制出来る。本方式を $0.15\mu\text{m}$ 、SOI プロセスにて実装した 0.5V 動作のシグマデルタ変調

回路を用いて実証評価を行った。既存方式と比較して非線形ひずみは抑制され、信号雑音比で 8.1dB、ダイナミックレンジで 4.4dB の改善が確認された。SCCMOS 方式に比べてディプリーション型 MOS のような非常にしきい値の低いデバイスに適した方式である。

第四章ではハイパスシグマデルタ変調を用いた低雑音アナログ・デジタル変換回路を提案している。低周波な信号を取り扱うアプリケーションでは、DC オフセットや $1/f$ 雑音の影響が看過できない場合がある。スケーリングにより電源電圧が下がり、増幅器が小型化されると、 $1/f$ 雑音の影響は増大する。この問題を解決するためにシグマデルタ変調回路の伝達特性をサンプリング周波数の $1/2$ の周波数において最も量子化雑音が抑制されるハイパス特性として、チョップ安定化回路と組み合わせることで本質的に増幅器の $1/f$ 雑音の影響を受けずにデジタル信号に変換できる回路方式を提案する。シグマデルタ変調回路に入力される信号の極性を 1 サンプル毎に正負を切り替えることでチョッピングすることで元の信号はサンプリング周波数の $1/2$ の周波数近傍にアップコンバートされる。これをハイパス特性の変調回路でデジタル化すれば変調回路に用いられている増幅器の $1/f$ 雑音の影響を受けない。この信号をデジタル回路にて最後にもう一度信号の極性を切り替えることで元の信号帯域にダウンコンバートされる。このため前置増幅器や Q 値の高いフィルタが不要で低消費電力化に適した回路方式である。ユーザプログラム型の汎用デジタルアレイ (FPGA) およびアナログアレイ (FPAA) を用いて検証を行い、既存の回路方式では $1/f$ 雑音等の影響が現れるような増幅器を用いても提案回路では本質的にこれらが抑制されることが確認された。

第五章では高耐圧演算増幅器を提案している。回路構成を工夫することでゲート酸化膜のストレスを緩和することが出来れば、電源電圧を数倍に引き上げることができるので、スケーリングしても消費電力は増加しない。かつ小型の MOSFET を使用できるので面積も小さい。この目的として、2 ステージ型の 2 倍電圧動作可能な演算増幅器を提案する。入力段はテレスコピック型と呼ばれる演算増幅器で、多段のカスコード接続により電圧ストレスを緩和しながら増幅を行う。この方式は出力振幅幅がとれないため、ダブルカスコード型出力バッファを応用して組み合わせることで、ほぼ電源電圧範囲の出力振幅を得ることが出来る回路を創案し、 $0.18\mu\text{m}$ 、 1.8V の CMOS プロセスを用いて 3.6V での動作が可能であることを検証した。

本研究では、センサ・ネットワークモジュールの重要な構成要素であるアナログ・デジタル変換器をスイッチトキャパシタ方式で実現する場合に焦点を当て、アナログ回路におけるスケーリング則の影響について考察し、低電圧 CMOS アナログ集積回路における問題点解決のための具体的な回路手法を提案し、その有効性を実デバイスでの実験を通じて実証した。