

論文の内容の要旨

A Study on Power Line Noise Reduction in Large Scale Integration (半導体集積回路における電源ノイズ低減に関する研究)

氏名 名倉 徹

半導体集積回路の製造技術の発展とともに、集積度の向上とチップ面積の増加が進行している。さらに回路の高速動作と回路内部の配線容量の増加もあり、電源電流が増加している。同時に、トランジスタの微細化、トランジスタ耐圧の低下、低消費電力化が進んだため、電源電圧の低電圧化が進み、その結果、電源電圧に関するノイズマージンの減少を招いている。

電源電圧の低下はタイミング違反やロジックエラーを引き起こす。例えば、トランジスタの閾値が $0.3V_{dd}$ の時、10%の電源電圧低下は15%の遅延時間増加となる。また、電源電圧変動は論理ゲートの論理閾値と出力電圧の変動をもたらすため、それらが逆向きに同時に変動した場合はロジックエラーの原因となる。従って、平均的な電圧変動だけではなく、瞬時電圧変動ピークも抑える必要がある。

デジタル・アナログ変換、アナログ・デジタル変換、PLL などのアナログ回路と大規模デジタル回路を集積化する必要性が高まるとともに、デジタル回路で発生したノイズがアナログ回路に影響を及ぼす基板ノイズが大きな問題として浮上してきた。通常、デジタル回路からのノイズがアナログ回路に干渉しないように、デジタル電源とアナログ電源は分割することが多い。しかし、それでも同一基板上に形成されているため、その基板を通じてノイズが伝搬してしまう。通常、ガードリングを用いてノイズを吸収することが多いが、高周波のノイズに対しては効かないことが多い。

通常、CMOS ゲートの基板コンタクトを通じてデジタルグランド線は基板と低インピーダンスで接続され、グランドノイズが基板ノイズとして現れる。電源系のノイズは、電源線のインピーダンスと電源電流によって発生する。集積回路の高速化に伴い、抵抗成分と電流による IR ドロップだけでなく、インダクタンス成分と電流変化によって引き起こされる di/dt ノイズが大きくなってきており、シグナルインテグリティ向上のために、電流変化 (di/dt) の低減とその測定方法の確立が必要とされている。また、基板ノイズは電流変化に密接に関係しているため、電流変化測定技術は基板ノイズ低減にも応用可能である。

2章では電源ノイズ低減に関して、スタブと容量とを理論的に比較することで、電流変化によるノイズの発生を防ぐ手段としてどちらが優れているかを述べる。1/4 波長のスタブは帯域除去フィルタとして動作し、集積回路の電源線に接続することで電源ノイズを低減することができる。面積、厚さ、距離、抵抗率、比誘電率を用いて、スタブと同一面

積容量との入力インピーダンスを定式化し、スタブの方が有利に動作する条件を明らかにし、ノイズの周波数が高くなるほどスタブが有利に働くことを示した。集積回路が発生するノイズは、そのクロック周波数成分が主である。したがって、集積回路の動作周波数が向上するにつれて、そのノイズ低減に関してスタブの優位性が大きくなることが分かった。集積回路の動作周波数は今後も上昇していくことが予想されており、将来は本スタブはオンチップ集積化が可能になることが予想される。

回路シミュレーションを用いることにより、スタブのノイズ低減効果を調べた。1. 8V、2. 5GHz のテスト回路において、スタブは同一面積容量と比較して 18%の電源ノイズ低減効果が得られることが分かった。

3章ではスタブを用いた電源ノイズ低減を実験的に示す。0. 35 μ m プロセスを用いて、テスト回路を試作した。本テスト回路をボード上にマウントし、そのボード上の電源線にスタブのパターンを書き、電源ノイズの大きさを測定した。測定結果によると、1. 25GHz 動作の LSI における電源ノイズのうち、狙った周波数成分の 87%、全ノイズ成分の 39%がスタブによって除去された。また、導線をスタブとして用いた場合は 1. 15GHz 動作の LSI において、狙った周波数成分の 90%、全ノイズ成分の 48%がスタブによって除去された。また、スタブの周波数とは違う周波数ではノイズは低減されず、スタブの周波数特性も確認することができた。本結果により、スタブが実際の集積回路において、電源ノイズ低減に有効であることが示された。また、将来の高速動作回路において、スタブのオンチップ集積化が可能であることも示している。

4章ではオンチップの電流変化測定回路について示した。この電流変化測定回路は電源線と、その下に位置するスパイラルインダクタ、増幅回路によって構成される。相互インダクタンスによって電流変化に比例した誘導起電力が発生し、それを増幅回路によって増幅して出力する。3層配線構造を持つ 0. 35 μ m プロセスを用いて回路を試作した。相互インダクタは 1 次側を 3 層配線を用いて 20 μ m 幅で 1 巻き、2 次側は 1 層配線を用いて 2 μ m 幅、2 μ m 間隔で 10 巻として形成し、一辺が 140 μ m の正方形という構造を取った。また、増幅器の遮断周波数を大きくするためと高速オシロスコープで測定することを目的に 50 Ω の負荷抵抗を用いたため、増幅率は 0. 39 となり、その結果、2. 2GHz まで測定が可能となった。

電流値の確認用に、電源線に直列に抵抗を挿入し、その両端の電圧差から電流値を計算し、さらに数値微分することによって電流変化を計算することができる。

テスト回路を試作して、電流変化測定回路の出力と抵抗の両端の電圧差から求めた電流変化を比較したところ、測定結果はよく一致し、6. 3 $\times 10^9$ mA/s の確度で電流変化を観測することができることが分かった。また、電流変化測定回路の内部回路側にデカップリング容量を用いると測定回路の出力はほぼゼロとなり、電流変化測定回路の電源側にデカッ

プリング容量を用いると測定回路の出力が大きくなることから、本測定回路が正しく動いていることと同時に、デカップリング容量が電流変化を抑制する効果に関しても測定することができた。

スパイラルインダクタの構造に関して、1次側は電源線に直列に挿入されるため、低インピーダンスである必要がある。改訂版として、1次側はコイル構造を持たない幅広の直線のレイアウトを用いることにより、低インピーダンスを実現することと同時に、2次側のスパイラルインダクタを大きくし、また、1次側の直線にかぶるように配置することによって、電流変化測定回路での電圧効果を抑えると同時に、1次側にコイル構造を持つ場合と同等の測定感度、測定誤差を実現した。

本手法によって実時間かつオンチップ集積が可能な電流変化測定が可能となり、これを電流変化制御システムへと応用した。電流変化信号をギルバート乗算器と低域通過フィルタに通すことにより、電流変化に比例した DC 電圧を得ることができる。その値を電圧比較器で比較することにより、電流変化がある閾値を越えたら内部回路の動作を一時的に停止するような回路を設計し、シミュレーションによりその動作を確認した。

5章では電流変化測定回路を用いたフィードフォワード式基板ノイズ低減手法について示した。通常、基板はグランド線に接続されており、グランド線がインダクタンス成分を持つ場合、グランド電圧変動すなわち基板ノイズは電源電流変化に比例する。フィードフォワード基板ノイズ低減手法では、電流変化測定回路を用いて電源の電流変化を測定し、増幅器を用いてその逆相信号を持った電流を作り出し、それを基板に注入することにより、元々の、電流変化に比例した基板ノイズを打ち消すことが可能である。

また、本手法の効果を確認するためには、基板ノイズを高速で観測するための測定回路が必要となる。測定回路が基板コンタクトを取った場合、その基板コンタクトを通じて元々の基板ノイズの電圧波形を変化させてしまう。ここでは、1段目にはカレントミラー型増幅器、2段目以降は PMOS と抵抗を用いた増幅回路を採用することにより、基板コンタクトのない基板ノイズ測定回路を考案した。

本テスト回路を 0.35 μm プロセスを用いて試作し、実際に基板ノイズを測定した。本フィードフォワード式基板ノイズ低減手法を用いることで 100MHz から 600MHz の範囲で 17% から 34%の基板ノイズ低減が測定され、また、そのフェーザダイアグラム解析の結果、キャンセル回路の最適化により 56%の低減効率が得られることが理論的に示された。

6章に本論文の結論をまとめた。スタブを用いた電源ノイズ低減、オンチップ電流変化測定回路、フィードフォワード式基板ノイズ低減手法は今後の LSI におけるシグナルインテグリティ向上に寄与することであろう。