

論文内容の要旨

論文題目

Circuit Technologies for VLSI Associative Processors

(VLSI 連想プロセッサのための回路技術の研究)

氏名 小川 誠

情報技術が進歩・普及する中で、コンピュータを「より身近に」あるいは「より高度に」利用するため、人間のように柔軟な知的情報処理の実現が求められている。従来のコンピュータが得意としている数値計算・論理演算とは異なり、知的情報処理においては、曖昧さを含んだ入力情報から記憶されている膨大な情報の中で最も似ているもの検索する「連想」が重要な処理の一つとなっている。その手段の一つとして、ベクトル量子化などのパターンマッチングは優れた性能を発揮する。ベクトル量子化では、入力・記憶情報をベクトルとして表現し、マンハッタン距離のようなベクトル間距離を使い一致度を求める。アルゴリズムは単純で VLSI でも容易に実現できるが、その一方で計算量が非常に大きく従来のコンピュータ、特にマイクロプロセッサでは実時間処理が難しいという問題点もある。

本研究では、計算量の多い連想処理を効率良く実時間で行うため、VLSI 連想プロセッサを開発することを目的とする。特に知的情報処理はその応用分野の広さ故に、ユビキタス・モバイルコンピューティングから WEB サービスを提供するサーバなど実に多様な環境で利用されることが想定される。こうした様々な応用に向け、連想プロセッサのためのアナログ・デジタル回路技術の研究を行った。

第3章では、アナログ不揮発性メモリ融合型マッチング回路について述べる。本研究のマッチング回路の特徴は、アナログ不揮発性メモリを用いることでテンプレートベクトルを保持するメ

メモリ機能と距離演算を行う機能が融合されていることである。その結果、距離演算を全ベクトル・全エレメント並列に実行する超並列連想プロセッサを高密度で実現した。0.7 μm 2層ポリ 1層メタルプロセスを用いてテストチップの設計・試作を行い、開発した回路の動作を確認した。テストチップには、64エレメントのテンプレートベクトルを256個保持することができ、プロセッサコアの面積は7.4mm x 4.5mmであった。また、マッチング回路ではメモリセルを機能回路として利用するため、回路構成が通常のメモリと異なる。そこで、アナログメモリの書き込み特性を測定し、書き込み精度としては5mV以内、書き込み電圧のレンジとしては3~4.2Vで距離演算に十分な精度・レンジを確保できることを示した。

第4章では、ガウス関数型のアナログマッチング回路について述べる。第3章のマッチング回路は、電圧モードにより距離演算を行うため低消費電力を実現できる一方で、配線が多くレイアウトが非効率であった。そこで、電流モードにより距離演算を行い効率の良いレイアウトを実現するマッチング回路の開発を行った。距離演算結果は電流値として読み出されるため、複数エレメントの総和を1本の配線上で行うことができる。開発したマッチング回路では6個のNMOSのみで構成されており、高密度に集積化することも可能となっている。また、超並列なアナログ連想プロセッサにおいては、与えられるデジタル入力データを並列にデジタル・アナログ(DA)変換する必要がある。そこでDA変換回路を小面積で実現できるよう、簡単な回路構成のUnity-Gainバッファを開発した。このunity-gainバッファの特徴は、複雑なオペアンプの代わりに単純なCMOSインバータを用いていることである。通常、CMOSインバータの様にDCゲインの低いアンプでunity-gainバッファを構成すると精度が低下するという問題があるが、新たに開発した2段階リセット方式を用いることにより、DCゲインの低いCMOSインバータを用いても高精度を実現することが可能となった。開発した回路は、0.6 μm 2層ポリ 3層メタルプロセスで設計・試作し、テストチップにより動作を確認した。さらに、アナログ不揮発性メモリを用いることでより高密度に集積化できることも示した。

第5章では、デジタル連想プロセッサについて述べる。アナログ連想プロセッサでは低消費電力・超並列処理が可能であるが、柔軟性に欠けるという問題点もある。そこで、デジタル回路を用いることで、柔軟な処理が可能な連想プロセッサの開発を行った。デジタル連想プロセッサにおいては、Winner-Take-All(WTA)回路がボトルネックとなる。WTA回路とは、多数の入力の中から最小値(あるいは最大値)をもつ入力を瞬時に検索する回路である。WTA回路は入力数・回路規模が非常に大きいため遅延時間が大きく、従来のWTA回路では1回のWTA処理に数クロックもの時間がかかっていた。そこで、回路内の信号を二次元的に伝播させることで回路の高速化を行い、入力数が増えても1サイクルで処理が完了する二次元ビット伝播WTA回路を開発した。また、柔軟なWTAを行う際には多数の入力を自由にマスクする機能が必要となるが、マスク処理を効率良く行うことが可能なブロックアドレス指定方式も開発した。このアドレス指定方式を用いることで、従来のアドレス指定では一つ一つ選択していたものが、1回のアドレス指定で複数のものを同時に選択することが可能となった。ブロックアドレス方式では、通常のデコーダ回路にわずかな回路を追加し、またアドレスのビット長を1ビット長くすることで実現できる。柔軟な連想処理においては、単なるマンハッタン距離の演算だけでなく、エレメントごとに重みを掛けること等も必要となる。このような応用のために、距離演算器では小面積の回路で乗算を行うことが可能となっている。0.6 μm 3層メタルのプロセスでテストチップの設計・試作を行い、開発した回路の動作を確認した。テストチップには、32並列の距離演算回路、128入力のWTA回路、最大256エレメント128ベクトルを記憶可能なテンプレートベクトルメモリを持つ。さらに、より微細な0.18 μm 5層メタルプロセスを用いて、並列度を向上させたデジタル連想プロセ

ッサの設計も行った。このプロセッサでは、4.5mm x 4.5mm の面積に 256 並列の距離演算回路、512 並列の WTA 回路、64 エlement x 512 ベクトルのテンプレートベクトルメモリを持つ。

第6章では、ダイナミック・プログラミング(DP)マッチングプロセッサについて述べる。従来の連想プロセッサではベクトル間距離を元に類似度計算を行っていたが、音声データ等のシーケンスデータに対しては、単純なベクトル間距離を用いてマッチングすることが難しい。そこで、シーケンスデータのマッチングを効率良く行う DP マッチングを VLSI プロセッサで実現した。開発した DP マッチングプロセッサの特徴は、デジタル回路上で信号を時間領域においてアナログ的に用いる点で、アナログデータは信号の遅延時間として表される。これにより、従来のデジタルプロセッサでは複雑な制御を行い数クロックかけて処理していた DP マッチングを、回路上で簡単に行うことが可能となっている。開発した DP マッチング回路は、0.18 μm 5 層メタルの一般的なデジタル回路用プロセスで設計・試作されたテストチップにより動作を確認した。DP マッチング回路は、16 エlement の二つのシーケンス間で一致度を計算し、その一致度を出力する。時間領域のアナログ処理を用いたことで、従来の電流・電圧モードのアナログ回路と異なり、容易に電源電圧を低下させることができ、低消費電力な動作が可能となっている。また、デジタル回路同様、スケーリングによる微細化・低電源電圧化も容易となっている。試作したプロセッサでは 1.3V の電源電圧の元、2mW 以下の消費電力で 1 回のマッチング処理を行う。

様々な連想プロセッサのための回路技術を開発したことが、本研究の主たる成果である。低消費電力・並列処理を目指したアナログ連想プロセッサのために、アナログ不揮発性メモリ融合型マッチング回路、ガウス関数型マッチング回路、CMOS インバータを用いた Unity-Gain バッファ等の回路技術を開発した。また、柔軟な処理を目指したデジタル連想プロセッサのために、高速な二次元ビット伝播 WTA 回路、ブロックアドレス指定方式・デコーダ回路を開発した。そしてシーケンスマッチングを行うために、デジタル回路を時間領域でアナログ的に用いた DP マッチング回路を開発した。