

論文審査の結果の要旨

氏名 小川 誠

本論文は、**Circuit Technologies for VLSI Associative Processors**（和訳：VLSI 連想プロセッサのための回路技術の研究）と題し、人間のように柔軟な情報処理実現の最も基本となる連想演算に関し、これを高速・低消費電力で実行する VLSI 実現のためのアナログ並びにデジタル回路技術に関する研究成果を纏めたもので、全文 7 章よりなり、英文で書かれている。

第 1 章は、序論であり、本研究の背景について議論するとともに、本論文の構成について述べている。

第 2 章では、連想演算としてのベクトル量子化アルゴリズムについて概観すると共に、このアルゴリズムの VLSI 化に関する過去の研究についてのレビューを行い、本研究の位置づけを明らかにしている。

第 3 章では、アナログ不揮発性メモリ融合型マッチング回路について述べている。不揮発性メモリトランジスタにテンプレート情報をアナログ値として記憶させると共に、このトランジスタをそのままマッチング回路の構成に用いて、小面積の連想プロセッサを実現した。0.7 μm 2 層ポリシリコンプロセスで VLSI チップを試作し、その基本動作を確認した。

第 4 章は、ベル型の特性を持ったアナログマッチング回路について述べている。6 個の NMOS でマッチングセルを構成し、マッチング結果を電流信号として出力し、簡単な電流加算でベクトル間の類似度演算を実行する。3 章で開発した回路は電圧モードで動作し、容量結合によって加算を実行するため、多くの配線領域を要し集積度が上がらなかったが、本ベル型特性のセルにより 4 倍以上の集積度向上を実現した。また新たに考案した 2 段リセット方式の導入により、簡単な CMOS インバータ回路で高精度の D/A コンバータを実現し、チップ上での並列データ変換を可能にした。

第 5 章では、目的に応じて柔軟に機能変換のできるデジタル方式の連想プロセッサについて述べている。ここでは、2 次元ビット伝播型 Winner-Take-All (WTA) と名付けた新たな回路方式を開発し、最類似ベクトルの高速探索を可能にした。これは、テンプレート数の増加に対しても探索時間がほとんど増加しない方式である。また柔軟な連想処理にとって重要なテンプレート群の選択に関しても、新たなアドレッシング方式を提案し、ほとんど回路面積を増加させることなく様々な連想処理実行を可能にした。0.6 μm 3 層メタルプロセスでテストチップを試作、その動作を実証した。さらに、0.18 μm 5 層メタルプロセスを用いて並列度を向上させたデジタル連想プロセッサの設計も行い、更なる性能向上が可能であることを示した。これは、デジタル連想プロセッサ開発に関し有用な知見である。

第 6 章は、ダイナミック・プログラミング (DP) マッチングプロセッサについて述べている。DP マッチングとは、シーケンスのマッチング演算であり、前章までのベクトルマッチングとは異なり、各ベクトルエレメントの位置シフトやスキップ等を許し、そのあらゆる組み合わせに対し最適のマッチング結果を見出すものである。この計算コストの極めて高い演算に対し、パルス信号の遅延線を用いた独自の演算回路によって、高速・低消費電力の処理を実現した。この回路では、アレイ状に配置された遅延線網上をパルス信号が自由に伝播することにより、自動的に最適の組み合わせを見出すことができる。パルス電圧はデジタル値として扱い、時間軸上のパルスの位置・パルス幅によってアナログ演算を行う方式であり、通常デジタル回路と同様電圧スケールリングによって低消費電力化が可能である一方、アナログ回路の並列演算によって高速処理が実現している。0.18 μm 5 層メタルプロセスを用いてテストチップを試作し、その有効性を実証した。これは、新たな回路方式の提案として重要な成果である。

第 7 章は結論である。

以上要するに本論文は、人間のように柔軟な情報処理の基本演算として重要な連想演算に関し、これを高速・低消費電力で実行できるアナログ並びにデジタル VLSI 回路技術の新方式を提案すると共に、実際に VLSI チップを設計・試作することにより提案した方式の有効性を実証したもので、半導体電子工学の発展に寄与するところが少なくない。

よって本論文は博士（科学）の学位請求論文として合格と認められる。