

論文内容の要旨

論文題目 連想システムのためのアナログ不揮発性記憶デバイス

(Analog Non-Volatile Memory Devices for Associative Processing Systems)

氏名 小林 大輔

連想システムとは連想プロセッサ・アーキテクチャに基づいた情報処理システムであり、従来のバイナリ・デジタル信号処理に基づいた VLSI が最も不得手とする人間のような柔軟な知的情報処理を実現するシステムとして注目されているものである。連想システムにおける情報処理はベクトル間の距離によるテンプレートマッチングの原理に基づいており、システムには予め過去の経験が大量のテンプレートベクトルとして記憶されている。未知の入力が与えられたとき、システムはその入力ベクトルとテンプレートベクトルの距離を計算し、最も距離の近いテンプレートベクトルを検出する。これにより現在の入力を過去の記憶に結びつけて、その入力を理解し処理するシステムである。音声や静止画・動画像の圧縮や認識など様々な分野での応用可能性が示唆されているが、計算量が膨大であるために現在主流の逐次処理型汎用 CPU とその上で実行されるソフトウェアの組み合わせでの実装では大変な演算時間を必要とすることが知られている。そのため実時間処理を目指した専用の VLSI チップ「連想プロセッサ」がデジタル回路技術、アナログ回路技術の両面から研究開発されている。特にアナログ回路技術による実装は、携帯端末のように使用可能な電力や面積が限られた環境で連想システムを実現するために注目を集めている。音声や静止画・動画像の圧縮や認識などの情報処理は、携帯端末のような常に人の側にあるコンピュータでこそ実現が望まれるものであり、そのような端末上で連想システムを実現する意義は大きい。

アナログ不揮発性記憶デバイスとは、アナログデータを不揮発的に記憶保持するデバイスである。特にトランジスタ構造を持つデバイスは、記憶素子として働くだけでなく記憶値に応じて自身の動作特性を変える演算素子として機能することから、アナログ連想システムを更に低電力かつ省面積で実装するために必要不可欠なデバイスとして注目されている。本論文では、デバイス物理やデバイス構造の面から、このアナログ不揮発性記憶デバイスを開発することを目的とする。本研究では、二つの物理現象に注目した。一つは MOSFET のチャネル中で発生するホットエレクトロン現象であり、もう一つは強誘電体薄膜が持つ残留分極現象である。

まず、ホットエレクトロン現象を用いた不揮発性記憶デバイスのデータ保持特性を明らかにした。ホットエレクトロン現象を用いた不揮発性記憶デバイスとして、ホットエレクトロン注入の自己収束特性を利用したアナログ EEPROM が我々の研究室で研究されている。注入現象の物理的特性によって複雑な制御なしに従来よりもはるかに効率よくアナログデータの書き込みを行えることが実証されていた。しかし、そのデータ保持特性については十分な検証がなされていなかった。アナログ連想システムでは、記憶デバイスは記憶素子としてだけでなく距離計算を実行する演算素子としても動作する必要がある、距離演算回路の一部として組み込まれることが要求される。そのためには記憶データを保持しつつ動作できるバイアス条件を知ることが重要である。そこで本論文では、デバイスの動作バイアスに注目してその保持特性を原理的に考察し実験結果から検証した。データ保持に必要なバイアス条件はドレイン電圧とコントロールゲート電圧(フローティングゲート電位)に対して与えられることを示した。ドレイン電圧の制約はゲート酸化膜のポテンシャル障壁の高さによって決定されること、コントロールゲート電圧の制約はトンネリング発生電圧によって決定されることを明らかにした。本論文で使用した評価 TEG の場合、ドレイン電圧を 2.0V 以下に保持し、動作時のフローティングゲート電圧を 6V 以下に抑えることでデータ保持が可能であることを示した。

次に、強誘電体の残留分極現象を用いた連想システムのためのアナログ不揮発性記憶デバイスを開発した。低電力データ書き込みを可能とすることから次世代不揮発性記憶素子として研究が盛んなトランジスタ型強誘電体メモリを連想システムのために発展させた。トランジスタ型強誘電体メモリとは、通常の MOSFET のゲートを構成する絶縁体を強誘電体に置き換えた構造を持つものである。例えば、ゲート酸化膜を強誘電体に置き換えた MFISFET 構造や、フローティングゲート MOS のフローティングゲートとコントロールゲート間の絶縁体として強誘電体絶縁膜を利用した MFMISFET 構造が存在する。強誘電体の残留分極の向きにより MOSFET のチャネルコンダクタンスが変わることを利用した記憶デバイスである。従来のトランジスタ型強誘電体メモリでは、記憶データを破壊せずにデータ読み出しを行うために、印加するゲート電圧を十分小さくする必要があった。このように入力電圧が制限された状態では、アナログ電圧入力を必要とするアナログ連想システムに応用することはほとんど不可能である。この問題を解決するために、新しい素子構造を提案した。その構造はフローティングゲート MOS を発展させたものであり、フローティングゲート上にキャパシタンス・カップリングした二つの入力ゲートを持つ。一つはフローティングゲートと入力ゲート間を強誘電体薄膜で絶縁したものであり、もう一つは常誘電体薄膜で絶縁したものである。これをヘテロゲート・フローティングゲート MOS 構造(ヘテロゲート FGMOS 構造)と名付けた。この構造

に書き込み制御スイッチを接続することで、データ読み出し電圧の制約を解消した。

ローム株式会社の技術協力を受け、0.6- μm CMOS PZT-FeRAM プロセスで評価デバイスを作成し、原理の妥当性を実証した。入力電圧の制約を解消した見返りに、その電圧の印加時間に制約を受けるが、その時間は連想演算を実行するに十分長いものであることを確認した。また、そのメカニズムを等価 RC 回路モデルにより明らかにした。更に、ヘテロゲート FGMOS 構造を用いた強誘電体連想メモリを設計し、その動作を実証した。

また、ヘテロゲート FGMOS 構造のデータ保持に対する信頼性について検証した。試作したヘテロゲート FGMOS では、データ読み出し操作を繰り返した際に記憶データにわずかな変化が観測されたが、これは、提案するデータ読み出し手法によるものでないことを実証した。そのデータ変化の原因が強誘電体キャパシタに流れる電流によるものであることを明らかにした。また、温度依存性についても評価した。

最後に、ヘテロゲート FGMOS 構造のデバイス設計論を述べた。まず、素子が記憶できる電圧レンジ「メモリウィンドウ」を最大化するために、ヘテロゲートを構成する強誘電体キャパシタと常誘電体キャパシタの面積比を最適化する手法を示した。アナログ値を記憶する際にはメモリウィンドウが広いほどデータ記憶の信頼性が向上する。ヘテロゲート FGMOS 構造のメモリウィンドウは強誘電体キャパシタと常誘電体キャパシタの容量比で決定されることを示し、その最適化手法を述べた。また、デバイスに要求されるスペックから、それを実現する強誘電体をデザインする手法を示した。更に、ヘテロゲート FGMOS 構造にデュアルトランジスタ構造を導入し、様々なタイプの強誘電体連想演算回路を設計した。フローティングゲートを共有する二つトランジスタからなる素子構造を利用することで、ヘテロゲート FGMOS 構造を用いた連想メモリの設計がより効率化されることを示した。

このように本研究は、デバイス物理学の原理やデバイス構造を応用することで、より高度な情報処理を実現することを目的に行ったものである。この目的の元、本不揮発性記憶デバイスの研究と平行して、高度情報処理を実現するための MEMS デバイスの研究を行ったので、これを付録にまとめた。これは、従来の走査型プローブ磁気顕微鏡が持つ問題点をプローブ構造に注目して解決することを目的としたものである。ハードディスクのデータ記憶単位である磁区を、磁性体プローブを使わずにサブナノメートルの分解能で観測することが目標である。そのプローブを実現する基礎となる金属/絶縁体型マイクロ尖塔構造の作成方法について述べる。