

# 論文審査の結果の要旨

氏名 小林 大輔

本論文は、連想システムのためのアナログ不揮発性記憶デバイス（英訳：Analog Non-Volatile Memory Devices for Associative Processing Systems）と題し、人間のよう  
に柔軟な情報処理実現の最も基本となる連想演算に関し、これを並列処理で実行する VLSI  
実現のためのアナログ不揮発性記憶デバイスに関する研究成果を纏めたもので、全文 6 章  
よりなる。

第 1 章は、序論であり、本研究の背景について議論するとともに、本論文の構成につい  
て述べている。

第 2 章は、「ホットエレクトロン注入を用いたアナログ不揮発性記憶デバイス」と題し、  
フローティングゲート MOS 型記憶素子を連想演算に用いた際に問題となる、記憶データ  
の保持特性について述べている。連想演算には、MOS 型記憶素子のゲート・ドレインに電圧  
が印加されるため、これによりフローティングゲートへの電子注入・放出が生じ、記憶デ  
ータが変化する。これに対し、実験データに基づき、データ変化を十分小さく抑えること  
が可能な動作条件について明らかにしている。

第 3 章は、「強誘電体分極を用いたアナログ不揮発性記憶デバイス 1 - 動作原理 - 」と題  
し、強誘電体の分極現象を連想演算に用いるための新たなデバイス構造、「ヘテロゲート・  
フローティングゲート MOS」を提案している。これまでの構造では、強誘電体を用いた  
MOS トランジスタを連想演算に用いると、その分極に変化が生じ、記憶データが変化する  
という信頼性上の大きな問題があった。新提案のデバイスでは、連想演算用の入力ゲート  
と強誘電体キャパシタ入力ゲートの二つの電極を設けるとともに、後者にはスイッチを付与  
し、連想演算の際にはそのスイッチをオフするという方式を導入した。本章では、本デバ  
イスの動作原理を説明するとともに、強誘電体薄膜としてチタン酸ジルコン酸鉛 (PZT) を  
用いた素子を実際に試作し、本方式が優れたデータ保持特性を持つことを実証している。  
更に、ヘテロゲート・フローティングゲート MOS を用いた連想回路のテストチップを設  
計・試作し、実際に連想演算が行えることを示している。これは重要な成果である。

第 4 章は、「強誘電体分極を用いたアナログ不揮発性記憶デバイス 2 - 信頼性 - 」と題し、  
前章で提案したヘテロゲート・フローティングゲート MOS デバイスのデータ保持特性につ  
いて、これに影響を及ぼす様々な要因に関する詳細な実験的解析を行っている。データ保  
持の信頼性を決める主要因は、試作に用いた PZT 薄膜に流れる漏れ電流であり、更に温度  
を上げた場合には熱による分極変化が影響することを明らかにしている。

第 5 章は、「強誘電体分極を用いたアナログ不揮発性記憶デバイス 3 - デバイス設計論 - 」  
と題し、第 3 章で提案したヘテロゲート・フローティングゲート MOS デバイスを用いて連  
想システムを構築する際に重要となる、最適デバイス構造の設計論、並びに連想回路の設  
計方法について論じている。強誘電体薄膜の分極特性を与えられたものとして、記憶デ  
ータの可変範囲を最大化するためには、パターン・レイアウトにおける、強誘電体キャパ  
シタ入力ゲートと連想演算用入力ゲートの面積比をどのように決定するかという方法論を  
展開している。これは、連想システム設計上重要な知見である。

第 6 章は結論である。

以上要するに本論文は、人間のよう  
に柔軟な情報処理実現に重要な連想システム構築に  
関し、その構成要素であるアナログ不揮発性記憶・演算デバイスに関する研究を行い、強  
誘電体薄膜をアナログデータの記憶媒体として用いる新たなデバイス構造を提案すると共  
に、その信頼性に関する詳細な検討を行い、実際に VLSI テスト回路を設計・試作するこ  
とにより提案したデバイスの有効性を実証したもので、半導体電子工学の発展に寄与する  
ところが少なくない。

よって本論文は博士（科学）の学位請求論文として合格と認められる。