

論文の内容の要旨

論文題目 薄膜 SOI(Silicon On Insulator)のポテンシャルを制御する化学的・物理的手法の研究 –完全空乏型電界効果 MOS デバイス構造の基礎研究–
(Study on physical and chemical methods controlling the potential in ultra-thin-film silicon on insulator –Basics of fully-depleted metal-oxide-semiconductor field-effect-transistor structures)

氏名 佐藤康博

1. 背景

シリコンは酸素を除けば地表付近に最も多く存在する元素であり、現在の半導体産業においては最も重要な半導体材料である。シリコンがなければ今日の ULSI(Ultra Large Scale Integrated Circuits)技術は成立せず、結果として、情報通信技術の飛躍的な発展は望めなかったであろう。情報通信技術の進展にともない、これを支える ULSI にはますますの高性能化、具体的には処理の高速化、省電力化が求められている。低消費電力性能に優れ、低い電源電圧でも高速処理を可能とするデバイスとして、薄膜 SOI に形成した電界効果型 MOS デバイス(以下、薄膜 SOI-MOSFET と呼ぶ)が期待されている。

薄膜 SOI-MOSFET は、現在の ULSI を構成する通常の電界効果型の MOS デバイス(バルク MOSFET と呼ぶ)とは異なる新型のデバイスである。バルク MOSFET がシリコン基板に形成されるのに対して、薄膜 SOI-MOSFET は、SOI(Silicon-on-Insulator)基板と呼ばれるシリコン基板と絶縁層で分離された単結晶シリコン薄膜に MOSFET が形成される。シリコン基板と MOSFET が絶縁体で分離されるため、薄膜 SOI-MOSFET ではバルク MOSFET に比べて負荷容量(接合容量)を低減できる利点がある(図1)。相補型 MOSFET(Complementary MOSFET; 以下 CMOSFET と呼ぶ)で構成される LSI の動作時の消費電力(P)は電源電圧(V_{DD})と次の関係がある。

$$P = K \times C_L \times V_{DD}^2 \times f \quad (C_L: \text{負荷容量}, f: \text{動作周波数}) \quad [1]$$

この式から、接合容量の小さい薄膜 SOI-MOSFET はバルク MOSFET に比べて動作時の消費電力を低減できることがわかる。

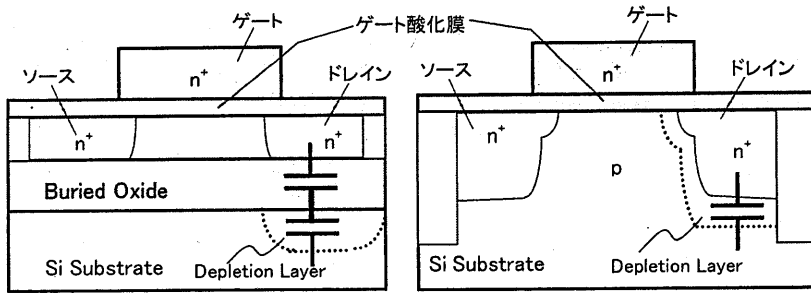


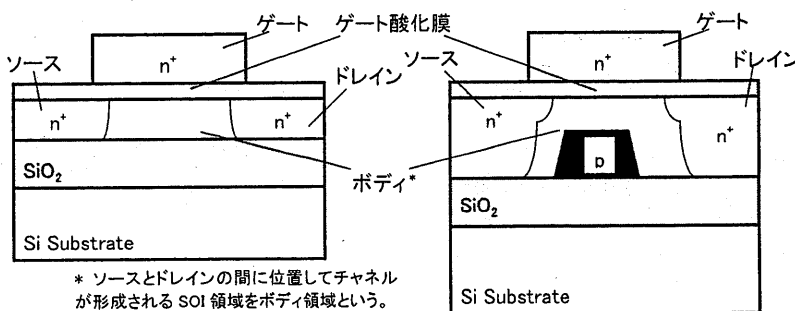
図1. 薄膜 SOI 構造(左)による接合容量の低減を示す模式図。

薄膜 SOI-MOSFET は動作モードから2つに分類される。ひとつは、部分空乏型で、ひとつは完全空乏型である(図2)。MOSFET ではデバイス動作時に、シリコンとゲート酸化膜の界面直下にチャネルと呼ばれる反転層が形成される。その下の領域は空乏層と呼ばれ、キャリアがない領域である。部分空乏型とは、比較的厚い(数百ナノメートル)SOIに MOSFET を形成したもので、SOI 層の一番下まで空乏層が達せず、キャリアが存在する領域が SOI 層の中に一部存在するものである。一方、完全空乏型とは厚さ50ナノメートル程度以下の極めて薄いSOI層に MOSFET を形成したもので、SOI 層全体が完全に空乏化しているものである。

完全空乏型 MOSFET には、部分空乏型 MOSFET にはない特長がある。そのひとつが理想的なサブスレッショルド勾配を実現できることである。このため、ゲート電圧をゼロとしたときのリーク電流を同一とした場合、部分空乏型デバイスに比べて閾値電圧を低く設計することができる。このためデバイスの動作電圧を下げることができる。[1]式に示すとおり、CMOSFET で構成される LSI の動作時消費電力は電源電圧の2乗に比例する。LSI の低消費電力化には電源電圧を下げるのが最も有効な手法である。したがって、動作電圧を低く設定できる薄膜 SOI-MOSFET は優れた低消費電力性能を有するデバイスとして大きく期待される。

2. 本研究の目的

本研究の目的は、上記のとおり低消費電力性能に優れる、完全空乏型 MOSFET の実現に向けたデバイス構造設計の指針を得ることである。本研究では、(1)寄生抵抗の低減を実現するデバイス構造の実現、(2)安定な素子特性を実現するための基板浮遊効果の抑制、の二点を課題として、(1)に対しては化学的気相成長法 (Chemical Vapor Deposition; CVD) を用いた金属 W 薄膜の形成時の Si 消費の制御手法を確立し、また(2)に対してはボディ底部のポテンシャル分布の制御の有効性を実証する。



* ソースとドレインの間に位置してチャネルが形成される SOI 領域をボディ領域という。

図 2. 完全空乏型(左)と部分空乏型(右)の薄膜 SOI-MOSFET の模式図。

3. 本研究で得られた知見

3.1 化学的手法によるデバイス寄生抵抗の低減

完全空乏型 MOSFET は薄膜 SOI 上に形成されるため、寄生抵抗の増大によるデバイス特性の劣化が問題である。本研究では、薄膜 SOI の Si 消費量を抑制して、ソース、ドレイン上に金属 W 薄膜を形成することにより、寄生抵抗の低減が可能であることを明らかにした。

薄膜 SOI における Si 消費量の抑制手法の基礎となる高濃度に不純物添加した Si 表面の表面状態の分析、考察から、希フッ酸(HF)溶液で表面処理後に N 型不純物が高濃度に添加した表面は水素終端するのに対して P 型不純物添加表面はフッ素(F)が残存することを明らかにした。さらに、ここで明らかにした N 型表面と P 型表面の表面状態の差異が、CVD による W 薄膜形成の際の Si 消費量を増大させることを実験的に明らかにした。Si 消費量の増大の原因である、CVD 直前における N 型表面と P 型表面の表面状態の差異、すなわち P 型表面における F の残存を抑制する新たな Si 表面処理手法として、HF 処理前の水素プラズマ処理を考案した。水素プラズマによる Si 表面処理により、Si 表面に添加された不純物が不活性化し、この結果、その後の HF 処理で N 型、P 型 Si ともに水素終端されることを明らかにした。N 型、P 型ともに水素終端された Si 表面に

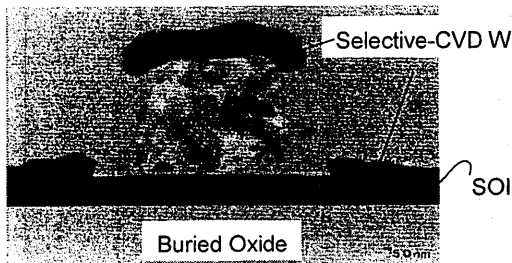


図 3. ソース/ドレイン/ゲート上にタンゲステン薄膜を形成したpチャネル薄膜 SOI-MOSFET の断面図。SOI 厚さは 50nm。

対して、CVD による W 薄膜を形成することにより、Si 消費量を 20 nm 以下に制御可能となること、Si 厚さ 50 nm の薄膜 SOI に形成したソース、ドレイン領域のシート抵抗を 10 ohm/sq. 以下 (W 薄膜の形成前に比較して 20 分の 1 以下) に低減できることを明らかにした。

CVD により形成した W 薄膜を導入した完全空乏型 MOSFET (図3)により、(1)ソース、ドレイン領域のシート抵抗の低減によるデバイス寄生抵抗の低減、(2)基板浮遊効果の抑制、の二つの効果を実現されることを明らかにした。(1)について、ゲート幅方向のシート抵抗の低減の効果として、単体デバイス、基本回路、LSI レベルにおいて、性能の劣化なく高集積化を実現することが可能であることを実証した。(2)について、W 薄膜が n チャネル MOSFET のソース/ボディ接合の近傍(正孔の拡散長以内)に形成されることにより、基板浮遊効果によるデバイス特性の劣化を抑制できることを明らかにした。これは、接合の近傍に W 薄膜が存在することにより、インパクトイオン化で発生した正孔をボディから有効に引き抜くことが可能となり、基板浮遊効果の原因であるボディ電位の上昇が抑えられるためである。

3.2 物理的ポテンシャル分布制御による基板浮遊効果の抑制

ボディ電位が固定されない完全空乏型 MOSFET では、ボディ電位の変動から生じる基板浮遊

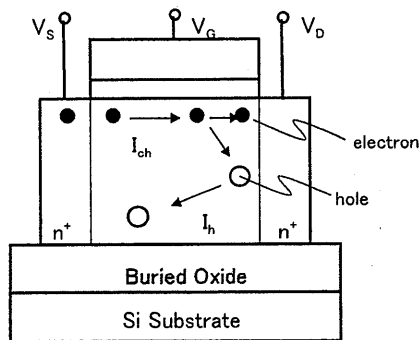


図 4. 薄膜 SOI-MOSFET (N チャンネル) の基板浮遊効果の発現機構を説明する模式図。

効果の抑制が求められる。基板浮遊効果とは、図4に示すとおり、インパクトイオン化現象により生じた多数キャリアがボディ領域に蓄積して、ボディ電位を上昇させるために生じるものである。上記の接合近傍への W 薄膜の導入とは別の手法として、筆者らは、ソース/ボディ接合近傍におけるボディ底部のポテンシャル分布を制御する手法による基板浮遊効果の抑制を考案し、その有効性をデバイス単体にて本手法を適用することにより実証した。Si 基板に適当な正電圧を加えることにより、n チャンネル MOS のボディ電位の上昇が抑えられ、基板浮遊効果を制御できる。これは、Si 基板への正電圧の印加により、ドレイン近傍での電界が弱まり、インパクトイオン化現象が緩和され、正孔の生成量が少なくなるとともに、ソース/ボディ接合における正孔に対する障壁高さが下がり、正孔(n チャンネル MOS の多数キャリア)がボディからソースへ流出しやすくなるためである。

本研究ではさらに、基板浮遊効果が完全空乏型 MOSFET で構成される論理回路のスイッチング特性に及ぼす影響を明らかにし、ボディ底部のポテンシャル分布制御がスイッチング特性の改善に有効であることを明らかにした。従来、動的ボディ電位の変動に対して安定であると考えられていた完全空乏型 MOSFET 論理回路においても、基板浮遊効果により、スイッチング特性が入力信号の周波数に依存し変化する現象を観察した。これは、インパクトイオン化により生成した多数キャリアがボディ電位を変動させることによることを明らかにした。デバイスのゲート長を縮小することにより、ソース/ボディ接合における多数キャリアに対するポテンシャル障壁高さを低減でき、この結果、スイッチング特性を改善できることを明らかにした。ゲート長の縮小にともなう多数キャリアに対するポテンシャル障壁高さを低減は、多数キャリアに対する DIBL (Drain Induced Barrier Lowering) 効果と呼ぶもので、従来のバルク MOSFET にはない完全空乏型 MOSFET 固有の効果である。

4. 結論

以上、本研究では、低電力 LSI 構成デバイスとして期待される完全空乏型 MOSFET の実現を目指し、デバイス構造やポテンシャル分布を制御する化学的、物理的手法について研究を行い、Si 消費量を抑制する化学的手法の確立、ポテンシャル分布制御の物理的手法を考案すると共に、その有効性を実証した。本研究で得られた知見は、完全空乏型 MOSFET の動作機構の理解に役立つと共に、今後の低消費電力 LSI 実現の一助となるものである。