

# 論文審査の結果の要旨

氏名 佐藤 康博

本論文は6章からなる。

第1章は序論であり、本研究が課題とした、(i) 完全空乏型 SOI-MOSFET の寄生抵抗を低減する素子構造を実現するために、化学的気相成長法 (CVD) を用いた W 薄膜成長時の Si 消費量の抑制法を確立すること、(ii) 完全空乏型 SOI-MOSFET の基板浮遊効果を抑制するために、ボディ底部のポテンシャル分布制御の有効性を実証すること、の二点について背景およびその意義が述べられている。

第2章では完全空乏型 SOI-MOSFET の寄生抵抗を低減する素子構造を実現するための化学的手法、すなわち Si 消費量を制御した選択 WCVD の結果について述べられている。2-2 節で Si 消費量の抑制を実現する表面制御手法の考案、その基礎となる高濃度不純物添加 Si 表面の表面状態の分析、考察について、2-3 節で、Si 消費抑制のための表面制御手法について、2-4 節で表面制御手法を前処理とする選択 WCVD を完全空乏型 SOI-MOSFET に導入した結果について述べ、本手法により Si 消費量が 20 nm 以下に制御可能であると結論している。

第3章では第2章で確立した手法により、完全空乏型 SOI-MOSFET のソース、ドレイン上に W 薄膜を形成した素子構造により実現される効果、すなわちソース、ドレイン上の W 薄膜の形成により実現される二つの効果、(i) 拡散層シート抵抗の低減による寄生抵抗の低抵抗化、(ii) 基板浮遊効果の抑制、について述べられている。3-2 節では、ゲート長方向の寄生抵抗の低抵抗化について考察している。3-3 節では、拡散層シート抵抗の低減によるゲート幅方向の寄生抵抗の低抵抗化について考察し、素子単体レベル、基本回路レベル、LSI レベルでゲート幅方向の抵抗が低減された結果、性能の劣化なくシングルコンタクト配置による高集積化が可能であると結論している。3-4 節では、W 薄膜がソース/ボディ接合の近傍 (正孔の拡散長以内) に配置されることにより、ボディから容易に正孔が流出することができるようになるため、ボディ電位の上昇が抑えられ基板浮遊効果が抑制される、と結論している。

第4章では、完全空乏型 SOI-MOSFET の基板浮遊効果を抑制する手法として、著者が提案するボディ底部のポテンシャル分布の制御について考察している。4-2 節では、正の基板電圧印加による基板浮遊効果の抑制の有効性について考察し、正の基板電圧の印加によるポテンシャル分布制御が基板浮遊効果の抑制に有効であるという論旨が述べられている。4-3 節では、基板浮遊効果が完全空乏型 SOI-MOSFET 論理回路のスイッチング過渡特性に及ぼす影響、及びボディ底部のポテンシャル分布制御によるスイッチング過渡特性の改善について考察している。完全空乏型 SOI-MOSFET 論理回路においてもスイッチング過渡特性が発現し、その原因がインパクトイオン化で発生した多数キャリアによるボディ電位の変動であること、ゲート長を縮小すればソース/ボディ接合近傍において多数キャリアのポテンシャル障壁高さが低下してスイッチング過渡特性が改善できることを示してい

る。

第5章では、完全空乏型 SOI-MOSFET の研究動向を展望し、著者の研究で確立した選択 WCVD やその他の低寄生抵抗化の手法を微細化の進展の中で位置づけるとともに、回路研究と連携した完全空乏型 SOI-MOSFET の現在の研究動向をまとめている。

第6章では、結論として、本研究で得られた主要な結果を要約している。

なお、本論文のうち第2章は、前田正彦氏、石井仁氏、小杉敏彦氏、有田睦信氏、門勇一氏、土屋敏章氏との共同研究、第3章は、石井仁氏、小杉敏彦氏、門勇一氏、土屋敏章氏、西村和好氏との共同研究、第4章は、門勇一氏、土屋敏章氏、石原隆子氏、西村和好氏、富沢雅彰氏との共同研究、であるが、それぞれ論文提出者が主体となり、実験、解析、考察を行ったものであり、論文提出者の寄与が十分であると判断する。

したがって、博士（理学）を授与できると認める。