

く提案した。

二章では、シフトレジスタの新しいタイミング方式である非重複 n -相パルスを提案し、原理とその動作におけるタイミング制約について論じた。まずその導入として、同期式シフトレジスタの一般的クロック方式である、1相クロックを用いるエッジトリガ方式と、2相クロックを用いるレベルセンシティブ方式を紹介し、その動作を解説した。これら従来のクロック方式は、シフトレジスタに格納されているデータが一斉にシフトを行うため、1データあたり常に2つのメモリ素子が必要である。故にこれら従来のクロック方式を用いて、メモリ素子 N 個の回路規模で構成されたシフトレジスタを動作させる場合、シフトレジスタ内をシフトできるデータ容量は最大 $N/2$ である。

続いて非重複 n 相パルス方式を提案しその動作を解説した。非重複 n 相パルス方式は、 n 相の重複しないパルス信号を用いてシフトレジスタの各ステージにおけるメモリ素子の動作を制御する方式である。この方式をもちいることにより、シフトレジスタに格納されている各データは、個別にシフト動作を行わないため、1データあたり常に2つのメモリ素子を必要とすることはない。メモリ素子 N 個の回路規模で構成されたシフトレジスタのクロック方式に非重複 n 相パルス方式を用いると、シフトレジスタ内をシフトできるデータ容量は、最大 $(n-1/n) \cdot N$ となる。シフトレジスタのデータ容量の上限に関して、非重複 n 相パルス方式は、 $n > 2$ である限りエッジトリガ方式やレベルセンシティブ方式よりも優れている。

また、提案する非重複 n -相パルスが、配線遅延およびゲート遅延を考慮にいれたシフトレジスタを実際に駆動させるための各信号波形のタイミングの制約について論じ、動作を保証するための、各パルス信号の、パルスの幅、重複しないためのパルス間の間隔、サイクル周期について条件式を提示した。

三章では、二章で提案した非重複 n 相パルスによるシフトレジスタの制御を実現するためのパルス信号生成装置の実装例を2例提示した。

1例目は、遅延素子を用いたパルス信号生成装置の例である。この方式では、パルス信号の生成を、2入力 AND ゲートの一方に論理が反転する遅延素子を挿入し、双方の入力に同一信号を与えることによって実現している。この2入力 AND と用いたパルス信号生成回路 n 個を遅延素子で接続することにより、非重複 n 相パルス信号を実現させている。

2例目は、非同期式発振回路を用いたパルス信号生成装置の例である。この方式では、非同期式 FIFO のタイミング制御の一手法である GasP 回路を用いた。

GasP は、asP* とよばれる非同期プロトコルによって、非同期式 FIFO の各ステージにパルス信号を生成している。本例では、 n ステージ FIFO 用 GasP 回路をループ状にして、非同期発振回路を構成させ、 n 相パルス信号生成装置を実現させている。又、ループ状に構成した GasP 回路の一部のステージ間における非同期プロトコル信号線に2入力

AND ゲートを挿入することにより、この非同期式発振回路は、外部クロックで同期をとることが可能となる。

どちらの例も、配線及びゲート遅延をもった実際のシフトレジスタの動作を保証するためには、設計者が、パルス生成装置が生成するパルスの幅、およびパルスが重複しないためのパルス間隔を任意に調整出来る必要があるが、本章では、これらを調整するための設計の指針についても述べた。

四章では、スキャンテストの積極的導入に伴う故障要因の増加、特に IR-Drop 違反と発熱の問題を取り上げ、これらの解決として、二章で提案した非重複 n 相パルスのスキャンのタイミング方式を導入することを提案した。

一般に、VLSI の通常動作において、ある時刻にメモリ素子の値が書き変わるレジスタの数は、チップ上の全レジスタ数のごく一部であると考えられる。それに対して、テストモードでは、意図的に回路内の論理ゲートの 1-0 遷移を生じさせるテストベクトルを挿入するため、スキャンパス内のレジスタがシフト動作をするとき、メモリ素子の値が書き変わるレジスタの数は、通常モードで想定される値を大幅に越える。それ故スキャンパスを大規模な回路に対し積極的に導入していくと、テストモードにおけるスキャンレジスタの消費電力が通常モードにおけるレジスタの消費電力を上まわり、発熱によって VLSI 回路を物理的に破壊する恐れが生じる。またスキャンレジスタのスイッチングにおけるピーク電流が大規模になると、電源電圧における電圧降下が規定値を上回り (IR-Drop 違反) VLSI システムに誤作動を及ぼす恐れもある。これらスキャンレジスタのテストモードにおける過度の電流に起因する発熱問題及び IR-Drop 違反を解決する手段として、前章で提案した非重複 n -相パルスタイミング方式を導入したスキャンレジスタを提案した。この手法を用いることにより、テストモードにおいて、スキャンレジスタ内の稼働するラッチの数は物理的に従来の方式のほぼ半分 ($n/\{2(n-1)\}$) になり、スキャンレジスタの消費電力を削減することができ、またこの手法は、IR-Drop 問題を引き起すスキャンレジスタのスイッチングにおけるピーク電流も、大幅に削減 ($1/(n-1)$) することが可能になる。

また、非重複 n 相パルスのスキャンへの導入し際して、スキャンを挿入する回路規模に対するスキャンレジスタのサイクルタイムの検証を試みた。非重複 n -相パルスの n が大きい程、非重複 n -相パルス方式を導入したスキャンレジスタは、発熱問題や IR-Drop 違反の解決に有効であるが、一方、 n が大きくなると、スキャンレジスタのサイクルタイムが大きくなってしまふ。非重複 n -相パルスのサイクルタイムは、 n と、動作するシフトレジスタの配線及び素子遅延に依存するからである。素子遅延は、トランジスタのテクノロジーに大きく依存し、配線遅延は、回路規模に依存する。

そこで、いくつかの規模のサンプル回路を用いて、回路規模に対する非重複 n -相パルスのサイクルタイムについて検証を行った。サンプル回路として、ISCAS89 のテストベ

ンチ回路の中からレジスタの比較的大きい s5378, s9234, s15850, s38584 を選定した。回路設計には、NEC の提供するセルライブラリ CB-130(130nm, メタル 7 層)を用いて、Synopsis 社製配置配線ツールにて設計した。検証の結果、非重複 n-相パルスのスキャンレジスタのタイミングに導入する場合、発熱問題や、IR-Drop 違反の解決だけでなく、テスト速度を考慮にいたした場合、s15850 (総ゲート数 924(DFF 数 534))が限度であることがわかった。それ以上の規模の回路の場合、回路をレジスタ数 500 前後の回路規模に分割し、それぞれのブロックごとに局所的に非重複 n-相パルス信号生成装置を配置することにより、テスト速度の劣化を回避することができる。。

五章では、スキャンの積極的導入に伴う面積の増加、特に回路量の増加を扱い、その解決法を提案した。

スキャンを導入する対象が以下の回路構成を持っている場合、従来の方式でスキャンを挿入すると、回路量の増加が大きい。

- ・ダイナミック回路
- ・レジスタ部がシングルラッチで構成されている回路

ダイナミック回路は、スイッチング速度に優れ、主に低レイテンシを必要とする高速演算回路に用いられている。ダイナミック回路は、出力部がメモリ素子になっているので、レジスタを挿入しなくとも、回路を構成することが可能になる。しかし、これらのレジスタを挿入しない回路にスキャンを導入する場合、従来のトランスパレントスキャンセルを挿入する方法では、回路量が増加してしまう。

この解決法として、ダイナミック回路の記憶素子をスキャンレジスタとして用いる手法を提案した。この手法をもちいることにより、従来のトランスパレントスキャンセルの挿入に較べ、回路量の増加を抑えることが可能になる。

次にレジスタ部がシングルラッチで構成されている回路であるが、この回路は、ラッチはFFに比べ、オーバーヘッドが小さいという利点があり、主に高スループットパイプラインのレジスタに用いられている。ところが、この回路にスキャンを導入する場合、従来のマスタスレブラッチで構成されたスキャンラッチを用いると、レジスタの回路量が2倍になってしまう。そこで、非重複 n 相パルスの導入を提案した。非重複 n 相パルスを用いることにより、シングルラッチで構成されたスキャンラッチを使用することが可能となり、回路量の増加を抑えることが可能となる。以上2つの提案する手法を用いることにより、ダイナミック回路および、レジスタ部がシングルラッチで構成されている回路に対するスキャンテストの回路量増加を抑えることが可能となる。