

## 論文の内容の要旨

### 論文題目

# Quantum Confinement Effects in Ultra-thin Body SOI MOSFETs and its Application to High Performance Devices

(極薄 SOI MOSFET 中の量子閉じ込め効果と高性能デバイスへの応用に関する研究)

氏名

筒井 元

近年の大規模集積回路の急速な進歩は MOSFET の微細化に負うところが大きく、リソグラフィ技術の向上とともに微細化は進み、性能向上を果たしてきた。微細化による性能向上は今後 10, 20 年程度は続き、ゲート長は 10 nm を下回ることが予測されている。一方、微細化に伴い、チャンネルとドレインもしくはソースとのカップリングが強くなり、いわゆる短チャンネル効果が顕著になる。このような状況においては、ゲートの支配力が及ばない空乏層の深い部分においてサブスレショルド電流が流れ、OFF 電流は増大する。従来のプレーナ型 bulk MOSFET において短チャンネル効果を抑制するためには、チャンネル中に導入する不純物濃度を高くする必要がある。しかし、これに伴い移動度は劣化し、また、不純物統計ばらつきによるしきい値電圧ばらつきが深刻な問題になる。従って、プレーナ型 bulk MOSFET においてゲート長が 20 nm を下回る領域にまで微細化を進めても、MOSFET の高性能化を図ることは非常に難しいことが懸念される。

Bulk MOSFET にかわるものとして完全空乏型 (fully-depleted: FD) silicon on insulator (SOI) MOSFET があげられる。FD SOI MOSFET では、空乏層深さは SOI 層の厚さで決定されるため、チャンネル中の不純物濃度を高くすることなく短チャンネル効果を抑制することが可能である。すなわち、FD SOI MOSFET では、微細化に伴い SOI 膜厚を薄くすることで短チャンネル効果を抑制し、OFF 電流を低く保つことができる。また、SOI 層中の不純物濃度を低く抑えることで、bulk MOSFET の欠点である移動度劣化、しきい値電圧ばらつきは低減される。このように、bulk MOSFET の欠点を補うことができるため、FD SOI MOSFET は、将来の VLSI において最も有力なデバイス構造のひとつとして考えられている。シングルゲートの FD SOI

MOSFETにおいて短チャネル効果を抑制するためには、SOI膜厚をゲート長の0.3~0.4倍程度にする必要があるといわれており、ゲート長が20 nmを下回る領域では、SOI膜厚を10 nm以下にまで極薄化した極薄SOI MOSFETが必須となる。極薄SOI MOSFET中のキャリアはSOI層中に閉じ込められ、量子閉じ込め効果の影響を受ける。これまでに、量子閉じ込め効果によるしきい値電圧の上昇、面方位(100)における極薄SOI n-, pMOSFETの移動度変調などが、理論、実験の両面から検討されている。このように、量子閉じ込め効果の基本的なデバイス特性に与える影響は調べられているものの、SOI層の極薄化に伴い基本的にデバイス特性は劣化する方向にあり、特性改善のための方策についてはほとんど言及されていない。

本研究の目的は、極薄SOI MOSFETにおいて発現する量子閉じ込め効果を利用することによってデバイス特性の向上を図ることである。特に、基板バイアス、基板面方位の2点に着目し、しきい値電圧ばらつき、移動度といった重要なMOSFET特性を改善することを目指す。具体的には、図1に示すような構造を有するデバイスを試作し、理論・実験の両面から検討を行い、以下に述べる結果を得た。

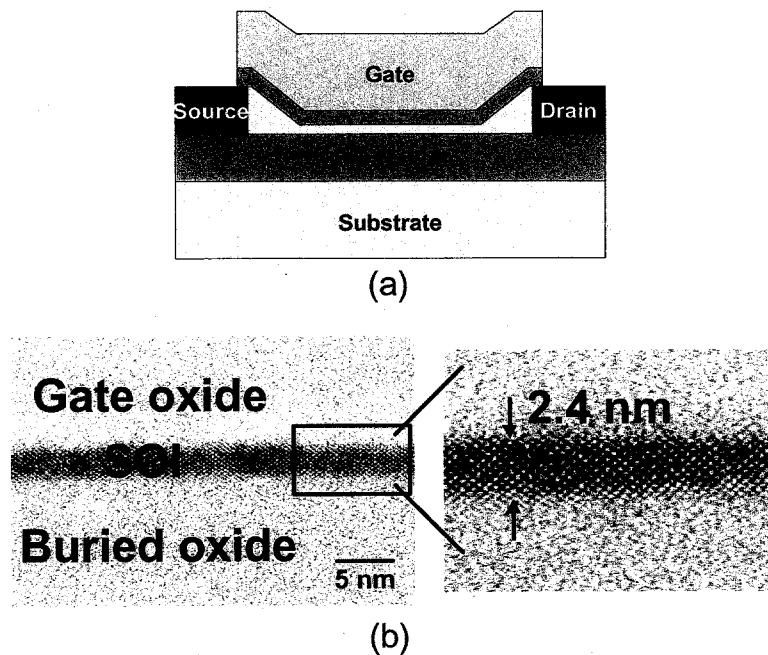


図1：試作した極薄SOI MOSFETにおける (a) 断面模式図、(b) 断面TEM観察像。

SOI層の極薄化に伴い、しきい値電圧のばらつきが増大することを示し、基板バイアスを利用したしきい値電圧のばらつき抑制手法を提案、実証した。SOI層が3 nm程度にまで極薄化されるとしきい値電圧ばらつきが急激に大きくなり、(100) nMOSFETsよりもpMOSFETsのほうがばらつきが大きいことを実験的に示した(図2)。これは、電子と正孔の基板垂直方向の有効質量の差を反映した結果である。また、しきい値電圧ばらつきは基板バイアスを印加することで抑制可能であることを示し、SOI厚3 nm程度のデバイスにおいて、ばらつきを20%程度抑制できることを示した。これは、基板バイアスによる量子閉じ込め効果を強く作用させることで、極薄SOI層による閉じ込め効果を相対的に抑制することを利用したものである。

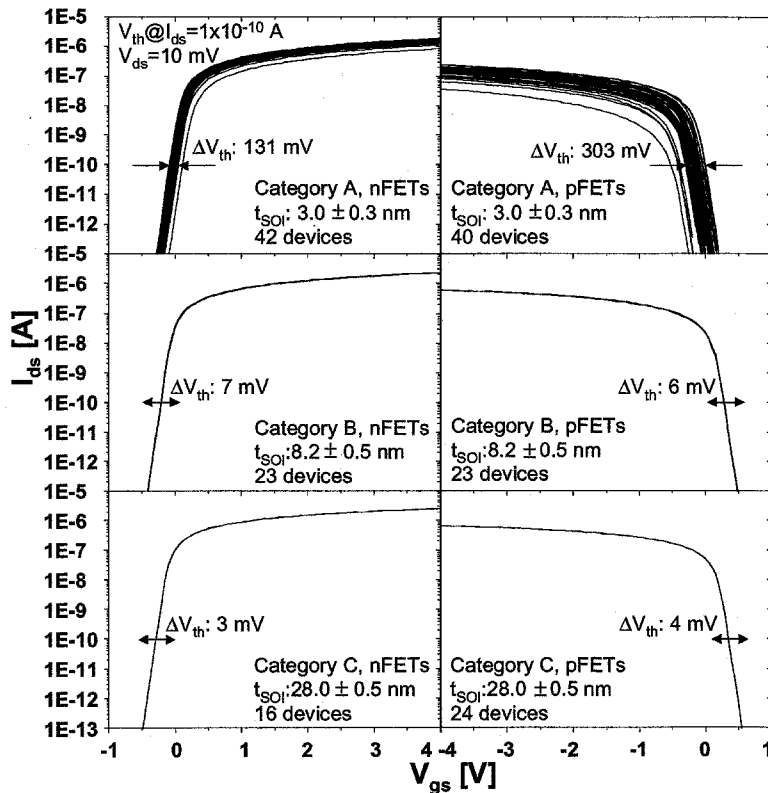


図 2:  $I_{ds} - V_{gs}$ 特性. SOI 膜厚ばらつきに起因したしきい値電圧ばらつきが観測されている.

基板バイアスによるしきい値電圧調整範囲が量子閉じ込め効果によって増大することを実証した. SOI 層を薄膜化するほどしきい値電圧の調整範囲が増大することを理論, 実験の両面から検討し, SOI 厚 4.3 nm のデバイスにおいて古典的な効果と量子力学的な効果の 2 つが共存することを示した. 量子力学的な効果によるしきい値電圧調整範囲増大の起源は, ゲート酸化膜・SOI 界面, ならびに SOI-埋め込み酸化膜界面における基底準位が量子閉じ込め効果によって上昇することによるものであることを示した. また, SOI 厚 4.3 nm のデバイスにおけるしきい値電圧調整範囲増大率は SOI 厚 11.7 nm のデバイスと比較して 10% 程度であることを実験的に示した. この結果は, 極薄 SOI MOSFET はしきい値電圧可変技術に適したデバイスであることを示しており, 将来の超低消費電力 VLSI に貢献するものである. (100)極薄 SOI MOSFET における移動度のユニバーサリティを検討した結果, 従来の bulk MOSFET と同様, 基板バイアスに対して移動度はユニバーサルに振舞うことを実験的に示した. また, (100)極薄 SOI pMOSFET におけるキャリア散乱メカニズムの探索法を提案, 実証した. この結果, SOI 厚 8.1 nm の pMOSFET はフォノン散乱の増大によってのみ移動度が劣化する一方, SOI 厚 4.5 nm の pMOSFET の移動度劣化要因はフォノン散乱の増大のみならず, 他の散乱要因が影響することを示した.

(110)極薄 SOI pMOSFET の移動度を検討し, (100)と比較して量子閉じ込め効果の影響を受けにくく, SOI 厚 3 nm 程度まで極薄化しても高い移動度が維持されることを実験的に明らかにした. また, 現在までに報告されている高移動度材料を用いた MOSFET と比較して(110)極薄 SOI pMOSFET の移動度は SOI 厚が 6 nm 以下の領域において最も高い値になることを実証

した (図 3). 高い移動度が実現される物理的要因は, サブバンド変調によるフォノンを介したサブバンド間遷移の抑制, ならびに基板垂直方向の有効質量が大きいことによる膜厚ゆらぎ散乱の抑制にあることを明らかにした. (110)極薄 SOI nMOSFET のしきい値電圧と移動度をシングルゲート動作ならびにダブルゲート動作で検討した. シングルゲート動作において, しきい値電圧ならびに移動度は SOI 層の極薄化とともに単調に劣化することを明らかにした. 一方, ダブルゲート動作において, SOI 厚 3 - 5 nm の領域で移動度向上がみられることを実証した (図 4). ダブルゲート動作における移動度向上の起源は, SOI 層中に誘起される反転電荷がダブルゲート動作にもとづく電界緩和効果によって SOI 層の中心付近を伝導することによることを明らかにした.

以上, 本研究では, 電流駆動力の向上, 低消費電力化, しきい値電圧ばらつきの低減という 3つの観点から UTB MOSFET を高性能化できることを示した. これらの結果は, 今後 10年以内に量産されると予想されるサブ 20 nm MOSFET を実現する上で重要な技術である.

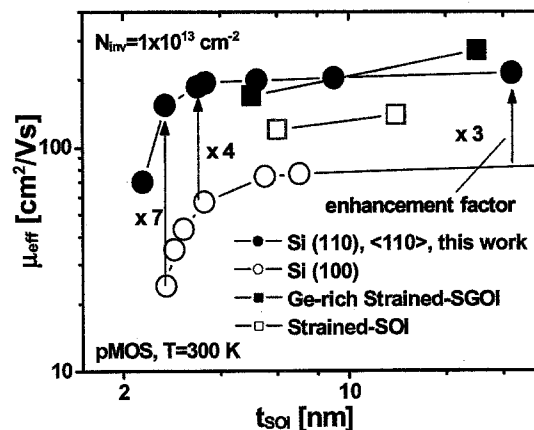


図 3 : 面方位(110)極薄 SOI pMOSFET における  $\mu_{eff}$  -  $t_{SOI}$  特性

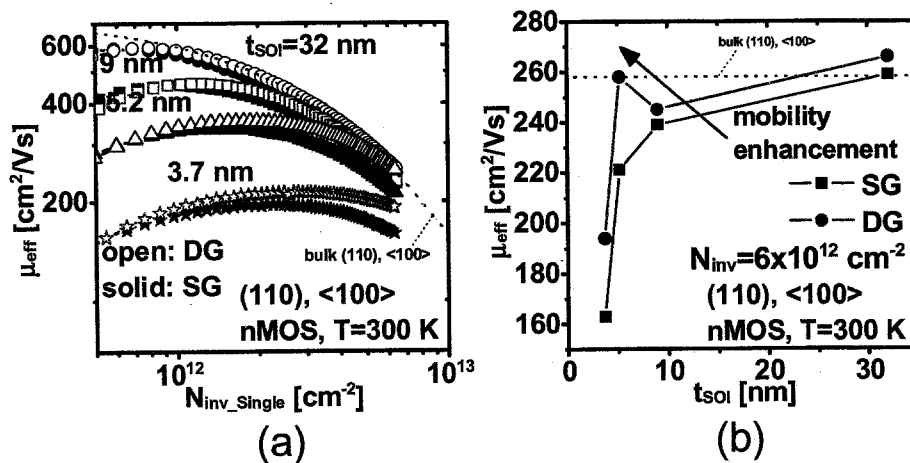


図 4 : 面方位(110)極薄 SOI nMOSFET における移動度. (a)  $\mu_{eff}$  -  $N_{inv\_Single}$  特性, (b)  $\mu_{eff}$  -  $t_{SOI}$  特性. ある SOI 膜厚の領域において, ダブルゲート動作時の移動度はシングルゲート動作時の移動度を上回る.