

論文の内容の要旨

論文題目 多体シミュレーションのための再構成可能計算

氏名 濱田 剛

本論文では、FPGA(Field Programmable Gate Array)を用いた多体シミュレーション用計算エンジン (FPGA-Based Computing Engine: FBCE) のための設計ソフトウェアについて述べる。これまで多体シミュレーション専用計算機は、重力多体シミュレーション用 GRAPE(GRAvity piPE; Sugimoto et al. 1990) 以外、開発例が少ない。これは、大幅に加速が必要な専用 LSI の開発のために、膨大な費用と設計期間が必要であり、また、それを用途ごとに行う必要があるからである。

近年、非常に大規模な FPGA が使えるようになってきた。FPGA とはユーザが論理仕様をプログラミングすることにより、内部回路を変更可能なロジックデバイスである。現在 100 万ゲート相当の製品が入手可能である。このゲート数は、GRAPE-6 のための専用 LSI と同程度である。

FPGA を専用 LSI の代わりに用いた FBCE は、専用機の利点がある程度確保しながら、多体シミュレーションにおいての汎用性を得ることができる。FPGA はプログラム可能であるので、複数の用途に用いたり、関数形を変えたりすることができる。

FBCE を多体シミュレーションの高速化に適用する場合の問題点は、設計作業が膨大なことである。プログラマはFPGA プロセッサの制御回路、データパス回路、ホストプロセッサでの通信・型変換ライブラリ等の膨大な量のハードウェアとソフトウェアを記述しなければならない。そのため、簡単な設計でも年単位の設計期間が必要となる。

本論文では、FBCE の用途を多体シミュレーションに限定することで、これら必要なハードウェア・ソフトウェアの全てを出力するソフトウェアを開発することが可能であることを示した。開発したソフトウェアはPGR(Processor Generator for Reconfigurable systems) システムと名付けた。PGR システムはPGDL(PGR Description Language) ソースコードを入力として、(a) FPGA 構成情報としてのハードウェア記述言語ソースコード、(b) アプリケーションプログラムがFBCE と通信するためのC言語ライブラリ、(c) FBCE 機能検証用ソフトウェアエミュレータを出力する。FPGA 構成情報はパラメータ化可能な演算器モジュールから構成される。これら演算器モジュールにはビット幅の小さい固定小数点形式演算器、浮動小数点形式演算器、および対数形式演算器を実装した。

PGR システムがPGDL 記述から、必要な全てのハードウェア・ソフトウェアを出力できる理由は、アプリケーションの範囲を多体シミュレーションに限定したからである。多体シミュレーションの場合、粒子間相互作用を高速に計算することで計算全体を大幅に高速化できる。つまりFBCE には粒子間相互作用の計算に特化したハードウェアを実装できれば良い。

PGR システムは、粒子間相互作用を高速処理するためのパイプライン演算ユニットをFPGA 内部に多数実装することに特化している。用途ごとに粒子間相互作用の関数形が異なるので、ユーザが粒子間相互作用をプログラミングして変更できるようにした。また、関数形が異なれば、アプリケーションプログラムとFBCE との間でやり取りするデータの組み合わせもそれぞれ異なるので、ユーザがFBCE 呼び出し用サブルーチンの引数形式をプログラミングして変更できるようにした。このようにすることで、PGR システムを用いた場合、ユーザは演算器と演算器間の接続を指定程度の作業でパイプライン演算ユニットを設計できるようになる。

パイプライン演算ユニットは、個々の演算器を計算処理順に結合したデータフローグラフとし

て表現可能である。そのため、PGRにおけるパイプライン演算ユニットをプログラミングするための基本要素は演算器である。これは、従来のハードウェア記述言語によるプログラミングがLook-Up Table(LUT) やフリップフロップといった細粒度な構成要素を並列に組み合わせる作業だったのに対し、PGRでは演算器という粗粒度な構成要素を直列に組み合わせる作業になっている。これがPGRによるプログラミングが従来のハードウェア記述言語のそれに比べて劇的に作業効率を向上させることができた最大の理由である。

PGRでは設計の最適化を行うために、個々の演算器のビット幅をパラメータで変更できるようにした。パイプライン演算ユニットの設計では、どの部分にどの程度のビット幅、つまり演算精度を必要とするのかを細かく指定する必要がある。これは、演算精度の無駄が回路規模の無駄に大きく影響してしまうためである。従来の設計言語では、演算精度を変更するための労力が大きく、設計時間を増大させる原因となっていた。PGRではPGDL記述における演算器ビット幅をパラメータとすることで設計効率の向上を実現した。

同様にパイプライン演算ユニットの設計において、各演算器の最適なパイプラインステージ分割方法の決定作業もまた設計時間の大きな部分を占めている。PGRでは演算精度の場合と同様にパイプラインステージ数をパラメータとすることで設計効率の向上を実現した。

本論文では、PGRシステムを2種類の異なるFBCEで動作させた。2種類のFBCEは[1] Bioler-3 (千葉大学・理化学研究所共同開発)、[2] Cray XD1 (Cray 社開発) である。PGRシステムは別々のハードウェアに対してもPGDLソースコードを変更なしに適用できる。これは個々のハードウェアに依存した部分をハードウェア抽象化層の中に隠蔽するような工夫を考案したためである。ハードウェア抽象化層を個別にモジュールとして用意することで、異なるFBCEに対してPGRシステムを利用することができる。

本論文ではPGRシステムの応用例として重力相互作用計算回路及び、SPH(Smoothed Particle Hydrodynamics) 相互作用計算回路のプログラミングを行った。

重力相互作用回路の場合、30行程度のPGDL記述を行うことでGRAPE-5相当の演算回路を実現することが可能であることを実証した。重力相互作用回路をBioler-3システムで動作させた

場合、ピーク演算性能 324 ギガフロップスを達成することができた。同様に Cray XD1 システムで動作させた場合、ピーク演算性能 45 ギガフロップスを達成することができた。

SPH 相互作用計算回路の場合、430 行程度の PGDL 記述を行うことで演算回路を実現することが可能であることを実証した。SPH 相互作用計算回路の設計は重力相互作用回路の設計に比べて計算内容が非常に複雑であるため、これまで設計に成功していなかった。本論文は世界で初めて SPH 相互作用計算回路の設計が可能であることを示した。

これまで FPGA を用いた多体シミュレーションの高速化は、プログラミング作業が膨大であることが原因で実用化が非常に困難であった。このような状況を、本論文では PGR システムを用いることで解決できることを示すとともに、多体シミュレーションの高速化に関する研究を大きく発展させた。