

審査の結果の要旨

論文提出者氏名 チャン クワン カイン

本論文は「Low-power Nano-meter CMOS Circuit Designs with Application to FPGA」(和訳：低電力ナノメートル CMOS 回路設計とその FPGA への応用)と題し、将来のコピキタス・エレクトロニクス環境を支えるシリコンの低消費電力回路技術を提示するもので、全 7 章で構成されている。

第 1 章は「Introduction」(序論)であり、近年のコピキタス社会を支える半導体集積回路の問題点である消費電力・設計期間・設計コストについて述べ、これらの問題を解決する必要性を説き、本論文の目的と背景を明確にしている。

第 2 章は「Low Power Techniques and Issues of the Conventional FPGA」(低消費電力技術と従来の FPGA の問題点)と題し、シリコン VLSI の従来の消費電力技術と FPGA の問題点について述べ、今後のシリコン VLSI の消費電力を削減するにはどのような技術が必要であるかについて記述している。

第 3 章は「Low-power High-speed Level Shifters」(低消費電力・高速レベル・シフタ)と題し、複数の電圧が混在する領域内での電圧間の変換を行うにはレベル・シフタという回路が不可欠である。レベル・シフタについて問題点である信号の衝突を示し、衝突を緩和する新しいレベル・シフタを提案した。衝突を緩和することによって低消費電力かつ高速のレベル・シフタを実現でき、シミュレーションと実験により実証し、有効性を確認した。

第 4 章は「Low Power FPGA Basic Cell」(低消費電力 FPGA の基本セル)と題し、FPGA の基本ロジック・セルである CLB (Configurable Logic Block) の低消費電力設計について述べるとともに、シミュレーションを用いて実証し、有効性を示した。

第 5 章は「Low Power FPGA Architecture and Circuit」(低消費電力 FPGA のアーキテクチャと回路)と題し、低電力を実現するために新しい FPGA のアーキテクチャと回路を提案した。シミュレーションと実験により提案した FPGA は従来なものに比べてダイナミック電力とリーク電力はそれぞれ 82%と 89%を削減できた。

第 6 章は「CAD for Low-power FPGA」(低消費電力 FPGA の CAD)と題し、低消費電力 FPGA の設計に必要な消費電力を解析する CAD について述べる。既存の FPGA CAD は第 5 章で提案した FPGA アーキテクチャを解析できないため改良する必要がある。改良した CAD でベンチマーク回路を用い、シミュレーション結果から提案した FPGA のメリットである低消費電力を確認した。

第 7 章は「Conclusions」(結論)であり、本論文の成果を要約し結論を述べるとともに、本論文の学会や産業界に対する貢献についても触れている。

以上のように本論文は、コピキタス・エレクトロニクスの基礎となる、シリコンをベースとした CMOS 回路の低電力設計手法と、具体的に FPGA への応用を示すとともに、その有効性を設計・試作・測定を通じて実証したものであって、電子工学上寄与するところが少なくない。よって本論文は博士(工学)の学位請求論文として合格と認められる。