

論文の内容の要旨

論文題目

Design of Three-Dimensional Structure MOSFETs
with Substrate Bias Control for Low-Power LSIs
(低電力 LSI に向けた基板バイアス制御三次元構造 MOSFET の設計)

氏名 南雲 俊治

MOSFETの微細化によって、LSIの集積度・性能は指数関数的な向上を続けている。微細化を進めてゆくには短チャネル効果を抑制することが最も重要であるが、従来のプレーナ構造では短チャネル効果抑制が困難になると見られており、ダブルゲート、FinFET、tri-gateなどの三次元的なマルチゲート構造の導入が不可欠となる。また、今後は微細化とともにサブスレッショルド電流などのリーク電流によるスタンバイ消費電力が爆発的に増大すると見られている。低消費電力用途のLSIではこのスタンバイ電力の問題は特に深刻である。さらに、微細化、電源電圧低下とともに、特性ばらつきの影響が顕著になる。歩留まり確保のためには、チップ製造後にチップ間ばらつきの補償を行うための特性制御手法が必須となると考えられる。スタンバイ電力抑制およびばらつき補償の手段としては、基板バイアス制御によるしきい値電圧 V_{th} の制御が有力な解決策である。

本研究は、超低消費電力で高機能なLSIの実現に向け、短チャネル効果抑制と製造後の特性制御の両者を考慮したデバイス設計指針の確立を目的とする。短チャネル効果抑制策として三次元マルチゲート構造、特性制御の手法として基板バイアス効果に着目する。三次元マルチゲート構造における基板バイアス効果の設計パラメータ依存性を実験およびシミュレーションで調査し、短チャネル効果耐性と高い制御性を両立可能なチャネル構造設計について検討した。

基板バイアス係数 γ は V_{th} の変化量と基板バイアスの変化量の比で定義され、基板バイアス制御における非常に重要なパラメータである。基板バイアス制御によるリーク電流削減やばらつき補償を実現するためには適度な大きさの γ が必要である。ダブルゲートやFinFETは短チャネル効果抑制のための新たなデバイス構造として有力視されているが、それらの構造では γ は0もしくは極めて小さな値となってしまうため、ばらつきの補償等の観点からは非常に不利である。本研究では短チャネル効果を抑制可能でかつ有限の値の γ を得られるデバイス構造として図1に示すようなsemi-planar SOI MOSFETを提案する。Semi-planar SOI MOSFETのコンセプトは以下の通りである。1) 三次元マルチゲート構造による短チャネル効果抑制、2) プレーナ構造に近い比較的容易

な作製プロセス、3) アスペクト比の低いチャネル構造による有限の基板バイアス係数の確保。

高濃度ドーパされたtri-gate型のマルチゲートMOSFETにおいて、チャネルの角の形状がサブスレッショルド特性に影響を及ぼすことが報告されている。この角の効果は基板バイアス効果にも影響することが予想される。そこで本研究では図2のようなチャネル断面形状を仮定し、基板バイアス効果の角の形状依存性を3次元デバイスシミュレーションによって調査した。なお、 V_{th} の導出法にはさまざまな定義が存在するが、評価の対象に応じて適切な定義を使い分けるべきである。ここでは V_{th} の導出法として一定電流法により定義される $V_{th_{I0}}$ と線形外挿法により定義される $V_{th_{ext}}$ の2種類を用い、それぞれの基板バイアスに対する変化量から求められる γ_{I0} 、 γ_{ext} の両者を求めた。 $V_{th_{I0}}$ および γ_{I0} はオフ特性、 $V_{th_{ext}}$ および γ_{ext} はオン特性の議論に適している。高濃度ドーパ($5 \times 10^{18} \text{cm}^{-3}$)を施したチャネルについて、角の曲率半径 R を変化させ、 γ のゲート長依存性を計算した結果が図3である。ゲートとのカップリングの強い角の部分にサブスレッショルド電流パスが集中することにより、角の尖った(R の小さい)チャネルでは γ_{I0} が非常に小さくなる。 γ_{ext} も同様に角が尖っているほど小さくなるが、 γ_{I0} と比べると R 依存性は弱い。これはオン状態では表面全体にキャリアが分布し、特性が角の部分だけでは決まらないためである。また、 γ は通常ゲート長が短くなるにつれ減少するが、角の尖ったチャネルではゲート長が短くなると γ_{I0} が増大するという“ γ の逆短チャネル効果”が存在することが明らかになった。この原因は、短チャネル化により角へのキャリア集中が弱まるためである。この γ の逆短チャネル効果により、負の基板バイアス印加によってゲート長ばらつきに起因するオフ電流ばらつきをある程度軽減することが出来る。また、チャネルがノンドープの場合について同様の検討を行ったところ、ノンドープチャネルでは角へのキャリア集中が発生しないため、角の形状依存性は非常に弱いことがわかった。

一般にマルチゲートデバイスではプレーナデバイスと比べ γ が小さくなる傾向にある。基板バイアス制御を行うためには、印加できる基板バイアスの範囲にもよるが、少なくとも γ が0.04~0.05以上必要であると考えられる。短チャネル効果抑制と大きな γ を両立できるチャネル厚さ・幅の設計について検討を行った。長チャネルのマルチゲートMOSFETを試作し、 γ のチャネル幅依存性を評価した結果、幅が狭いほど γ が小さくなるという傾向があることがわかった。これは幅を狭くするにつれゲートとチャネルとのカップリングが強まるからである。また、図4は3次元デバイスシミュレーションにより得られた、ノンドープチャネルにおける短チャネル効果および γ の等高線図である。ここではサブスレッショルド係数 S を短チャネル効果の指標として用いている。このような等高線図を用い、異なる設計ポイントで短チャネル効果が同程度になるデバイス間の比較や、設計ウィンドウの模索などが可能になる。短チャネル効果は既に知られている通り厚さ・幅を減少させることにより抑制される。一方、 γ は厚さを薄く、幅を広くすることにより増加する。すなわち、厚さに関しては薄くすることで短チャネル効果・ γ ともに利点があるが、幅に関しては短チャネル効果と γ がトレードオフの関係となる。基板バイアスの活用のためには、厚さの薄く幅の広いチャネル構造が適している。チャネル構造の設計指針は以下ようになる。1) チャネル厚さを出来る限り薄くする。それだけでは短チャネル効果抑制が不十分な場合、さらに2) チャネル幅を狭くして短チャネル効果耐性をさらに向上させるが、狭くしすぎることなく、要求される短チャネル効果耐性を満足する範囲で広く保つ。図4中の斜線で示した領域がチャネル構造設計ウィンドウとなる。

さらに、不純物濃度依存性を検討した。不純物ドーピングが中程度($1 \times 10^{18} \text{cm}^{-3}$)の場合の結果はノンドーピングと大差ない。これは中程度のドーピングではキャリア分布への影響が強くないからである。さらにドーピングを濃くした場合($5 \times 10^{18} \text{cm}^{-3}$)、キャリア分布がゲート側の界面に近づく効果が現れ、短チャネル効果が改善しその一方で γ は低下する。その結果、設計ウィンドウは等高線図右側の幅の広い領域に移動する。高濃度ドーピングによってチャネル形成のリソグラフィ上の困難は軽減されるが、一方でばらつき増大や移動度の減少を引き起こす。じゅうぶんな加工精度とゲート仕事関数による V_{th} 調整が可能であればノンドーピング、そうでなければ高濃度ドーピングチャネルを用いるのが望ましいと考えられる。

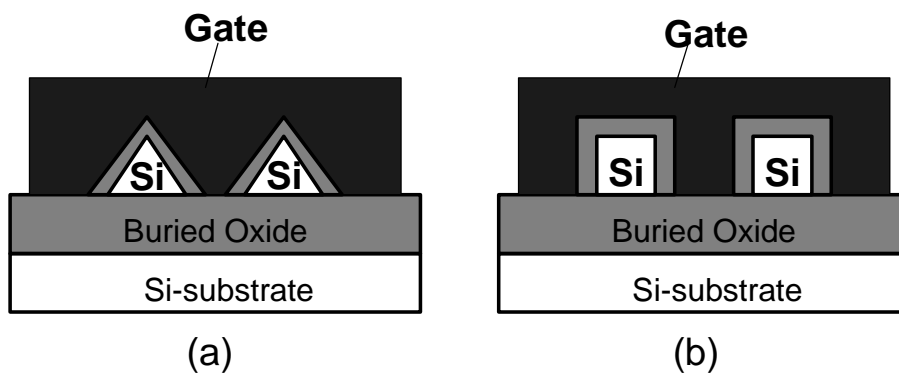


図1 Semi-planar SOI MOSFET の断面構造の例: (a) 三角細線チャネル (b) low-Fin(アスペクト比の低い FinFET)

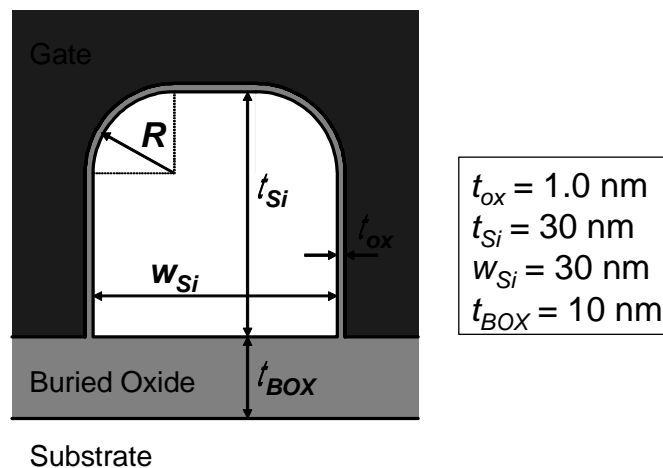


図2 角の形状依存性のシミュレーションで用いた断面構造模式図

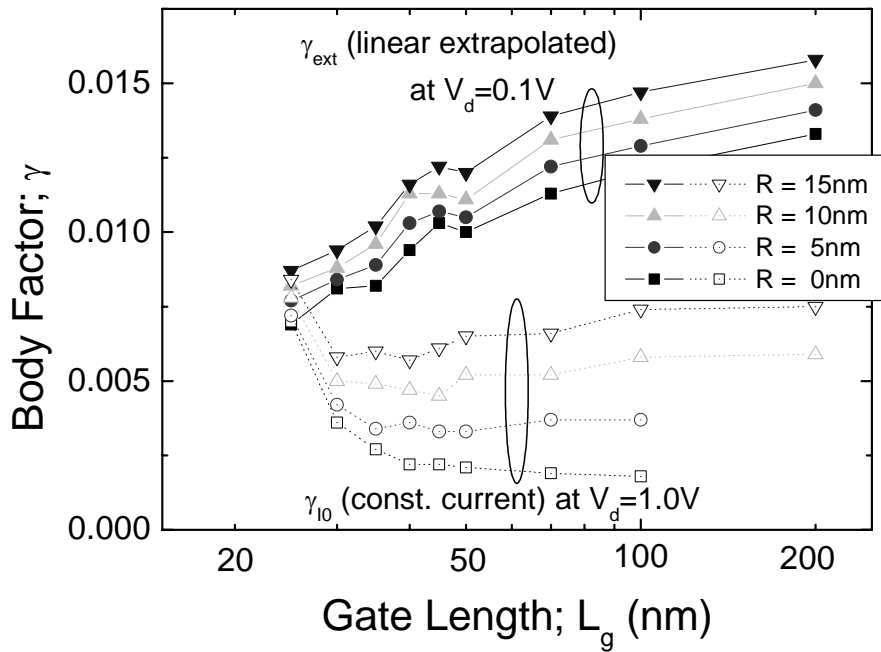


図 3 さまざまな角の形状に対する γ のゲート長依存性

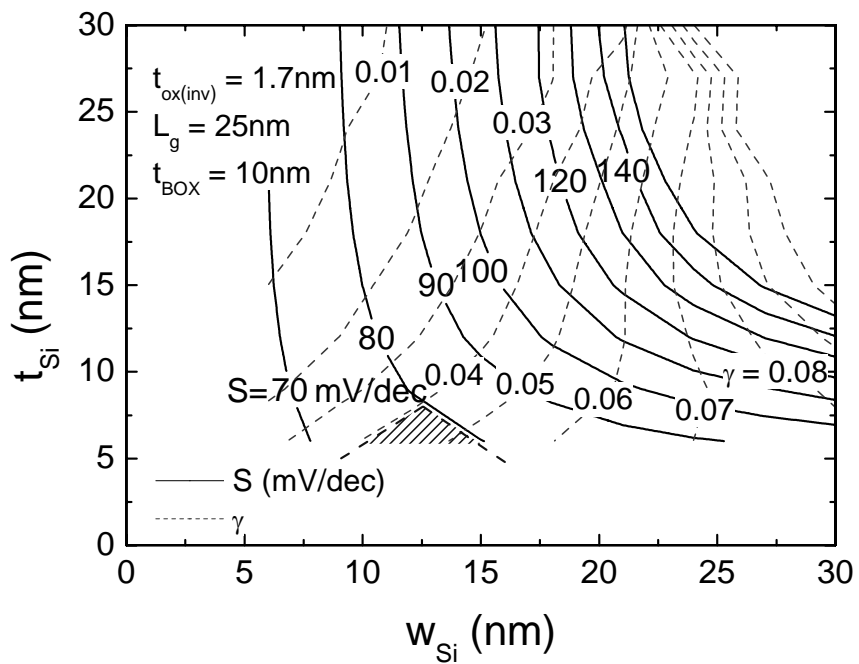


図 4 チャネル厚さ(t_{Si})、チャネル幅(w_{Si})に対する S 、 γ の等高線図。斜線の領域は設計ウィンドウを表す。