

審査結果の要旨

氏名 南雲 俊治

本論文は、「Design of Three-Dimensional Structure MOSFETs with Substrate Bias Control for Low-Power LSIs」（和訳：低電力 LSI に向けた基板バイアス制御三次元構造 MOSFET の設計）と題し、英文で書かれている。本論文は、三次元マルチゲート構造を有する MOSFET における基板バイアスによる特性制御の可能性を論じたもので、全 5 章より構成される。

第 1 章は「Introduction」（序論）であり、MOS トランジスタの微細化の状況と課題をまとめるとともに、さらなる微細化を可能とする三次元マルチゲート構造 MOSFET と低消費電力化に欠かせない基板バイアス制御の必要性を述べており、本論文の背景と目的を明確にしている。

第 2 章は、「Proposal of Semi-Planar SOI MOSFETs」（セミプレーナー SOI MOSFET の提案）と題している。まず、短チャネル効果および基板バイアス係数を決定する物理パラメータとそのトレードオフについて考察し、その結果から将来の低消費電力微細トランジスタとしてセミプレーナー SOI MOSFET を提案している。このデバイス構造のコンセプトは、1) 三次元マルチゲート構造による短チャネル効果抑制、2) プレーナ構造に近い比較的容易な作製プロセス、3) アスペクト比の低いチャネル構造による有限の基板バイアス係数の確保、である。シミュレーションにより、本デバイス構造の有用性を実証している。

第 3 章は、「Corner Effect on Body Factor」（基板バイアス係数のコーナー効果）と題し、三次元マルチゲート MOSFET におけるコーナー部分が基板バイアス係数に与える影響を論じている。高濃度ドーパされた Tri-gate 型のマルチゲート MOSFET では、ゲートとのカップリングの強いコーナー部分にサブスレッショルド電流パスが集中することにより、コーナーの形状によって基板バイアス係数が異なる。その結果、基板バイアス係数の逆短チャネル効果、即ちゲート長が短くなるほど基板バイアス係数が大きくなる効果が現れることを初めてシミュレーションにより示した。基板バイアス係数の逆短チャネル効果は、負の基板バイアス印加によってゲート長ばらつきに起因するオフ電流ばらつきをある程度軽減する働きがある。

第 4 章は、「Device Design Guideline of Multi-Gate MOSFETs」（マルチゲート MOSFET の設計指針）と題し、短チャネル効果抑制と十分な基板バイアス係数を両立するマルチゲート MOSFET の設計ガイドラインを論じている。チャネル幅とチャネル厚さを変化させてマルチゲート MOSFET のシステマティックなシミュレーションを行い、短チャネル効果と基板バイアス係数の形状依存性を総合的に評価した結果、短チャネル効果抑制と十分な基板バイアス係数を両立する設計ウィンドウが存在することを明らかにした。

第 5 章は「Conclusions」（結論）であり、本論文の結論を述べている。

以上のように本論文は、三次元マルチゲート MOSFET の短チャネル効果と基板バイアス係数を系統的に評価し、短チャネル効果抑制と大きな基板バイアス係数を両立させるためのデバイス構造を提案するとともに、そのデバイス設計指針を示したものであって、電子工学上寄与するところが少なくない。

よって本論文は博士（工学）の学位請求論文として合格と認められる。