

審査の結果の要旨

論文提出者氏名 ダナルドノ ドゥイ アントノ

本論文は「Modeling and Characterization of Electrical Behaviors of Interconnects in Deep Sub-micron VLSI's」(和訳：ディープサブミクロン VLSI における配線の電気信号特性とそのモデリングに関する研究)と題し、インダクタンスの効果を考慮した VLSI における配線の電気信号特性のモデル化とインダクタンスの効果を観測するためのオンチップ・サンプリング・オシロスコープの方式を提示するもので、全 5 章で構成されている。

第 1 章は「Introduction」(序論)であり、近年 VLSI 内配線におけるシグナル・インテグリティ劣化の要因の一つとして注目されている配線のインダクタンスの効果による問題をまとめることにより、本論文の目的と背景を明確にしている。

第 2 章は「Modeling of Single and Parallel Inductive Interconnects」(インダクタンスの効果を考慮した単独配線及び並列配線のモデル化)と題し、初めにインダクタンスの効果を考慮した単独配線のモデル化を行い、遅れ付き 2 次の伝達関数による近似手法を提案している。この近似手法を用いて、電圧波形、遅延時間、オーバーシュートの時刻と波高、減衰率、周期などを計算するための簡便な式を導出し、実用的なパラメータ範囲で近似度が十分であることを明らかにしている。また単独配線のインダクタンスの効果を評価するための指標を提案しており、これによってインダクタンス効果が無視できるかどうかを判断できる。更に、キャパシティブ・カップリングとともにインダクティブ・カップリングを有する並列配線の特性を計算するための式を導出している。

第 3 章は「Trends of Interconnects in Deep Sub-micron VLSI's」(ディープサブミクロン VLSI における配線のトレンド)と題し、インダクタンスの効果が出やすい大きなバッファと十分長い配線がある状況で遅延を最小化した際、配線幅が最小線幅の 5 倍以下である限りインダクタンスの効果が無視できることを示している。また、最小線幅の配線において、過去インダクタンスの効果が認識されてこなかったものの、微細化技術の進歩によってインダクタンスの効果が増加し、現在の 90nm 世代でピークに到達、今後更に微細化が進むにつれて再びインダクタンスの効果が減り、将来は無視できるとの予測を述べている。

第 4 章は「On-chip Sampling Oscilloscope for Signal Integrity Study」(シグナル・インテグリティを観察するためのオンチップ・サンプリング・オシロスコープ)と題し、シグナル・インテグリティを観察するためのオンチップ・サンプリング・オシロスコープに用いられる分解能測定回路の提案・設計・実測について述べている。

第 5 章は「Conclusions」(結論)であり、本論文の成果を要約し結論を述べている。

以上のように本論文は、VLSI 上の配線特性をインダクタンス効果を含んだ形で表現できる見通しのよいモデルを提案し、そのモデルを用いて配線遅延や電圧オーバーシュートなどの簡便な表式を導出するとともに、その式を用いてインダクタンス効果の将来動向を明らかにしたもので、電子工学上寄与するところが少なくない。

よって本論文は博士(工学)の学位請求論文として合格と認められる。