

## 審査の結果の要旨

氏名：王文武

ULSIデバイスはスケーリング則（比例縮小）に従った微細化により，高集積化と高性能化を同時に達成してきたが，材料の物理化学的限界に直面しつつあり，新たな材料の導入により限界を克服しているのが現状である。CMOSトランジスタのゲート絶縁膜として長らく使われてきたシリコン酸化膜も，膜厚が 2nm程度の薄さになるとトンネルリーク電流が無視できず，バラつきなどの信頼性低下も顕在化する。このため，シリコン酸化膜よりも誘電率の高い材料を採用して物理膜厚を大きくして等価的に同じ性能を発揮させることが考えられており，ハフニウム酸化膜( $\text{HfO}_2$ )が実用化の筆頭候補として検討されている。一方，ゲート電極材料には多結晶シリコンが使われてきたが，空乏層の発生によるデバイス特性劣化などの問題から金属電極への置き換えが検討されている。本論文は，“Synthesis and Characterization of HfN-based metal gate electrodes by MOCVD for the application of advanced High- $\kappa$  MOS stacks”（和文題目：MOCVD法を用いたHigh- $\kappa$  MOSスタック用HfN系金属電極の合成と評価）と題し，次世代CMOSデバイス用ゲート絶縁膜として期待されるハフニウム酸化膜と組み合わせる金属電極として窒化ハフニウム（HfN）に着目し，そのMOCVD合成と特性評価を中心にまとめたものであり，全6章からなる。

第1章は序論であり，CMOSデバイスのスケーリング則に従った縮小化の限界について，ゲート絶縁膜関連の問題点を列挙している。次世代のゲート絶縁膜候補として $\text{HfO}_2$ が有望であること，また，HfNが低抵抗であり，かつ， $\text{HfO}_2$ との界面に特性を劣化させる異質酸化物を形成し得ないことから最適な電極材料であることを述べている。これらの予備的検討を元に，絶縁膜へのダメージが少ない熱CVD法によるHfN合成を目指し，その電気特性の評価とHfN/ $\text{HfO}_2$ -MOSスタック形成への応用を本論文の目標として設定している。

第2章では，テトラキスジエチルハフニウム（TDEAHf）とアンモニア（ $\text{NH}_3$ ）を原料としたMOCVDによるHfN膜の合成と評価を行った結果をまとめている。これによると，400 程度の基板温度にてCやOなどの不純物の少ない良質なHfN膜が形成可能である。しかし，その抵抗は非常に高く，ほぼ絶縁体である。これは，膜中の窒素含有量が高く， $\text{Hf}_3\text{N}_4$ 組成の窒化ハフニウムができているためであり，窒素組成を減らすために $\text{NH}_3$ 濃度を極力減らして薄膜形成を種々の基板温度で試したが，どのような条件でも絶縁体と見なせるHfNしか得られないことを報告している。さらに， $\text{NH}_3$ をパルス状に間歇導入してHfN合成を検討した結果， $\text{NH}_3$ の導入量が減るに従い若干の抵抗減少が見られるが，同時に膜中不純物濃度が増大することを見出している。これらの結果から， $\text{NH}_3$ は残留不純物を低減する効果が高い一方，過剰に窒化してしまう効果があると結論している。

第3章では，HfN膜の低抵抗化としていくつか検討した結果を取りまとめている。まず，HfN膜の組成や化学結合状態を解析するためにX線光電子分光（XPS）測定をする際に，Arイオンエッチングを行ったところ，膜の色に変化が見られ，その部分の抵抗が非常に低く

なっていることを発見している。HfN膜の厚みを変えてArイオンエッチング処理をしたところ、Arイオンエッチング後のシート抵抗には膜厚依存性がなかったこと、XPSの光電子脱出角度依存性から最表面の窒素組成が減少していることなどから、この現象はArイオンによる選択的なエッチングにより過剰な窒素が選択的に除去されていることが原因であることを確認し、本手法による窒化ハフニウム低抵抗化のArイオン加速電圧やエッチング時間依存性を詳細に検討している。その結果、500V程度の加速電圧でも低抵抗化が可能なこと、また、低抵抗層の厚みは3nm程度であることなどを明らかにしている。このことから、熱CVD薄膜形成とプラズマエッチング処理とを交互に繰り返す手法をとれば、 $1000\mu\Omega\text{-cm}$ 程度のHfN膜の形成が可能であることを示している。一方、 $\text{Hf}_3\text{N}_4$ を高温で加熱処理することによっても低抵抗化が可能であることを見出し、実際に1000 × 1分の高速昇温加熱(RTA)処理によって $1,000\mu\Omega\text{-cm}$ 程度の薄膜を得ることに成功している。さらに、原料ガスであるTDEAHfにも窒素が含有されており、 $\text{NH}_3$ を全く用いなくともHfN形成の可能性があるので、TDEAHfだけ用いるMOCVDにも挑戦し、700 程度に基板温度を上昇させればCを大量に含むHfCN膜が形成され、その比抵抗は $10,000\mu\Omega\text{-cm}$ 程度であることを見出している。

第4章では、前章にて開発した3つの低抵抗化手法のうち、実際にMOSキャパシタを作製可能な2つの方法についてMOSキャパシタを作製し、CV測定を行って電極材料の仕事関数などの評価を行っている。まず、 $\text{NH}_3$ を用いずに作製したHfCNは $\text{SiO}_2$ 上に形成した場合に4.45eV、 $\text{HfO}_2$ 上に形成した場合には4.54eVの仕事関数を示し、いわゆるミッドギャップ材料として利用可能なことを示した。また、このとき、リーク電流増大などMOS特性の劣化も見られなかった。同様に、 $\text{NH}_3$ を用いて作製した高抵抗 $\text{Hf}_3\text{N}_4$ をRTA処理により低抵抗化したサンプルは4.9eVの値を示し、p-MOS用に適した材料を形成可能であることを示している。また、 $\text{SiO}_2$ 上に電極膜を作製するとMOSのシリコン酸化膜換算膜厚(EOT)の減少も起きることを見出している。

第5章では、上記MOSキャパシタ作製時にEOTが減少することを詳細に検討し、HfCNやHfNを形成する際にNやHfが $\text{SiO}_2$ 中に拡散し、 $\text{HfSiO}_x\text{N}_y$ などの高誘電率絶縁膜を形成していることを明らかにしている。また、この現象を有効に活用して、 $\text{SiO}_2$ 上にHfN電極を形成するだけでHigh- $\kappa$  MOSスタックの一括合成が可能であることを示し、実際にEOT 2.3nmでリーク電流が通常のpoly-Si/ $\text{SiO}_2$  MOSキャパシタよりも4桁近くリーク電流の低いMOSスタック合成に成功している。

第6章は上記を取りまとめ、今後の展望を述べている。

以上、本論文は次世代 High- $\kappa$  MOS スタックに有望な電極材料として材料工学的観点から HfN を選び、その MOCVD による合成の特性と低抵抗化、さらには得た知見を活用して次世代デバイス用 MOS スタックの一段合成を試みたものであり、材料工学的発展に大いに寄与するものである。よって、本論文は博士(工学)の学位請求論文として合格と認められる。