

論文内容の要旨

論文題目 Growth and Characterization of Oxide Heterointerface for Field-effect Devices
電界効果デバイス構築に向けた酸化物ヘテロ界面の作製と評価

氏名 渋谷 圭介

緒言

遷移金属酸化物は多種多様な電子物性を有するが、高品質なデバイスの応用例は少ない。その原因の一つは、酸化物ヘテロ界面の電子状態制御が困難である点にある。例えば、界面層での電荷移動・酸素のノンストイキオメリー・高温成長における原子の熱拡散・酸化物-金属界面でのショットキー接合の形成などに起因する。そこで、高性能なデバイスを実現するには酸化物ヘテロ界面での電子状態の理解が必要不可欠である。

SrTiO₃は、ペロブスカイト型遷移金属酸化物との格子ミスマッチが小さく高品質な単結晶が入手可能であることから、遷移金属酸化物薄膜の作製用基板として広く用いられてきた。さらに、酸化物エレクトロニクスデバイスの観点からもSrTiO₃はバンドギャップ約 3.2eVのn型半導体として注目を集めている。SrTiO₃のフェルミ準位は伝導体のすぐ下に位置しており、カチオン置換や酸素欠損の導入により10¹⁸cm⁻³程度の小さなキャリア濃度で導電性を示すことが知られている。これらの特性は、電界効果トランジスタ(FET)構造のチャンネル層として非常に大きなアドバンテージとなる。FETは界面の電子状態に非常に敏感であり、ヘテロ界面の電子状態を探るプローブとして有用である。本論文では、単結晶SrTiO₃ベースのFET構造を作製し、主に輸送特性の見地からエピタキシャルおよびアモルファスCaHfO₃とSrTiO₃単結晶基板のヘテロ界面についての研究を行った。

実験方法

アモルファスおよびエピタキシャルCaHfO₃薄膜は、パルスレーザー堆積(PLD)法で成長させた。PLD法は一般に高融点で多成分系の酸化物の薄膜成長に有効な手法の一つである。KrFエキシマレーザーにより焼結した多結晶セラミックターゲットをアブレーションして、対向する基板上に薄膜を成長させた。Nd:YAGレーザーを基板の加熱に使用することで、最高 1450°Cの基板温度を達成でき、高品質な酸化物薄膜の作製が可能となる。ヘテロ構造及びトランジスタは、5×10×0.5 mm³のSrTiO₃単結晶基板上に作製した。この基板は、緩衝フッ酸溶液で化学的にエッチングを行うことにより、原子レベルで平坦な表面構造を有する。作製したトランジスタの輸送測定は、マニュアルプロービングステーションまたはヘリウムフロータイプのクライオスタットでピコアンメータ(Keithley487, 6845)を用いて行った。また、ホール測定はVan der Pauw法を用いた。

結果と考察

1. エピタキシャル界面の作製とその輸送特性

SrTiO₃基板とエピタキシャルCaHfO₃薄膜の界面導電性を調べた。CaHfO₃薄膜は1000°Cで成長を行った。酸素分圧は10⁻⁶ Torrから1m Torrまで変化させており、製膜時のレーザーエネルギー密度は約1.5J/cm²である。Fig. 1にヘテロ界面のシート抵抗の温度依存性を示す。10⁻⁶Torrの酸素分圧下で成長させた試料は、金属的な振る舞いを示していることがわかる。この振る舞いは電子ドープしたSrTiO₃単結晶の振る舞いに似ている。酸素分圧を上げていくとシート抵抗も上昇し、絶縁的な界面が得られる。これはエピタキシャルCaHfO₃薄膜が成長する最中に、界面に酸素欠損が生じていることを示唆している。

本研究の最終目標は急峻な界面を有するエピタキシャルFETの構築であり、その実現にはエピタキシャル絶縁層の使用が不可欠である。しかしながら、高酸素分圧下で作製したエピタキシャル薄膜であっても、その界面は高い伝導性を示した。これはFET動作を観測するためには大きな障害となる。高温成長のためにSrTiO₃基板表面で製膜時に酸素欠損が発生している可能性がある。そこで第一段階としてアモルファスCaHfO₃薄膜をゲート絶縁層として用いることとした。

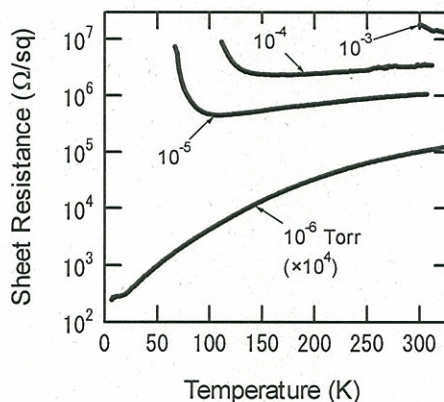


Fig. 1: Temperature dependence of the sheet resistance of the CaHfO₃/SrTiO₃.

2. アモルファス薄膜とその界面の輸送特性

アモルファスCaHfO₃薄膜を室温でSrTiO₃基板上に堆積した。Fig. 2には、成長速度とホール測定から得られた室温でのシートキャリア密度をレーザーエネルギー密度の関数として表した。ここでは、成長中の酸素分圧を3mTorrとした。成長速度とシートキャリア密度はほぼ比例関係にある。また、室温においても導電性の界面が得られていることが分かる。製膜は室温で行っているため熱的な影響は考えにくく、この結果はスパッタリング効果によって界面に酸素欠損が生じたことを示唆している。Fig. 3にはシートキャリア密度の温度依存性を示す。最も低いレーザー密度で作製した試料を除いた全てのサンプルが低温に置いてキャリアのfreeze-outが観測されている。この結果は、界面輸送がSrTiO₃の酸素欠損に起因するという説明を支持する。さらに大気雰囲気中400°Cでのポストアニールにより、この界面輸送が完全に失われる。この結果も導電性の原因がSrTiO₃の酸素欠損に因るものであるという説明と矛盾しない。

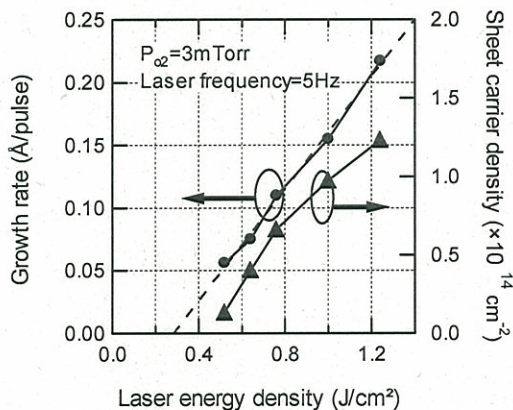


Fig. 2: Growth rate and sheet carrier density plot as a function of laser energy density.

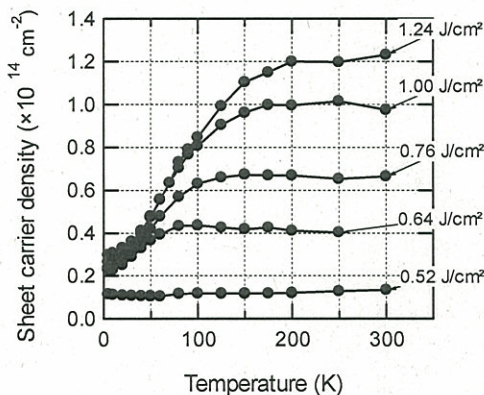


Fig. 3: Temperature dependence of sheet carrier density.

3. アモルファス絶縁膜を用いた FET

単結晶 SrTiO₃(100) 基板上にアモルファス CaHfO₃ ゲート絶縁膜を用いてトランジスタ構造を作製した。作製手順は以下のとおりである。はじめに、洗浄した基板にメタルマスクを介してソース・ドレイン電極となる Al を真空蒸着させる。3mTorr の酸素分圧下で、基板表面のスパッタリングダメージを促進または防止するように、高または低エネルギー密度でレーザーアブレーションを行い、ゲート絶縁膜を堆積させる。最後に、再びメタルマスクを使用して Al ゲート電極を蒸着させる。トランジスタ作製のプロセスは全て室温で行った。したがって、基板表面の再構成やエピタキシャルストレインの影響を考慮する必要はない。

Fig. 4 (a) と (b) にデバイスの略図と写真を示す。

通常の FET 同様、チャンネル層・ゲート絶縁層・ゲート電極から構成されている。デバイスのチャンネル長、幅はそれぞれ 100 と 500 μm である。絶縁膜堆積後のチャンネル領域の表面 AFM 像を Fig. 4 (c) に示す。アモルファス CaHfO₃ 層堆積後においても基板の原子ステップ構造が保たれており、原子層レベルで平坦である。これはトランジスタ動作のためには望ましい。なぜなら広い範囲でチャンネル領域に均一な電界強度が達成されると期待できるからである。

すでに述べたように、高エネルギー密度のレーザーを用いて製膜を行うとスパッタリング効果によって導電性の界面が得られる。例えば、絶縁膜をエネルギー密度 1.2J/cm² で堆積すると、Fig. 5 に示したように導電性のチャンネルが作製される。このデバイスはデプレッション型のトランジスタ動作を示した。界面の導電性はアニール処理によって抑制され、これは界面の酸素欠陥を補償したことによる。アニール処理後は、エンハンスメント型の動作を示した。(Fig. 5 の黒丸) 絶縁膜堆積時のレーザーエネルギーを下げることで導電性を抑えた界面が達成される。Fig. 6 に 0.5J/cm² で作製したトランジスタのチャンネル電流-ゲート電圧特性を示す。オフ電流は非常に低く抑えられており、オンオフ比は 10⁵ 程度という大きな値が得られた。電界効果移動度はゲート電圧に対して単調に増加し、12V で 0.43cm²/Vs に達した。ゲート電極からのリーク電流はチャンネル電流よりも数桁小さいので、トランジスタ動作に影響はないと言える。Fig. 7 にチャンネル電流の

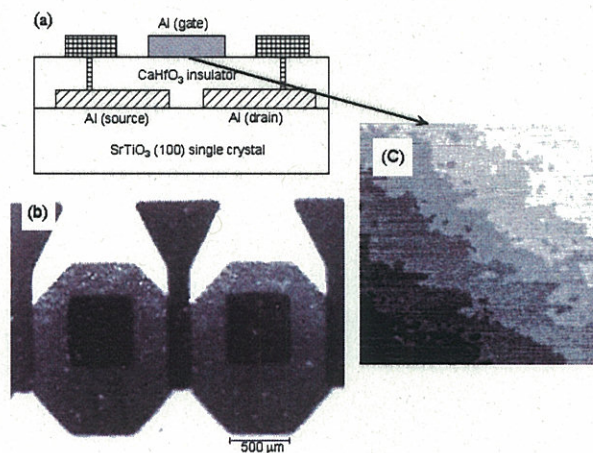


Fig. 4: (a) Schematic drawing of the FET structure. (b) Top view photograph of the FET device. (c) AFM image of the amorphous CaHfO₃ surface in the channel region.

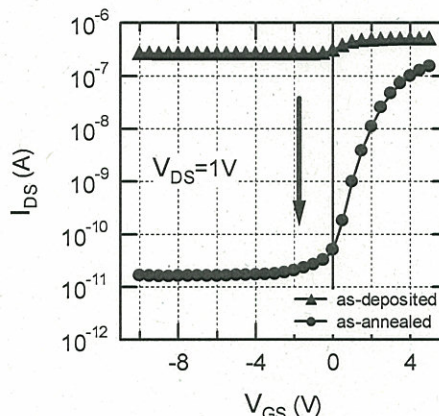


Fig. 5: The channel current plotted as a function of the gate bias of the FET. Triangles correspond to an as-deposited FET. Circles depict the behavior of an annealed FET.

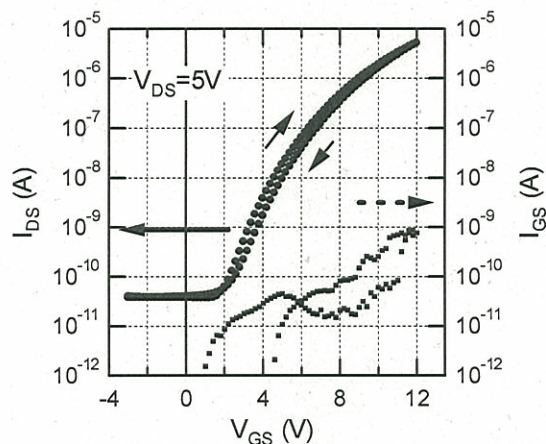


Fig. 6: The channel current and the leak current plotted as a function of the gate bias.

ゲート電圧依存性を 300Kから 100Kまで測定した結果を示す。低温でしきい値電圧の高電圧側へのシフトが観察された。この効果を取り除くと温度に関わらずほぼ一定の振舞いが観察された。(Fig. 7(b)) これは界面に存在するトラップ準位の影響によってデバイス特性が制限されていることを示唆する。

4. エピタキシャル界面を用いた FET

界面準位を軽減するために、エピタキシャル界面を有するSrTiO₃トランジスタを作製した。プロセスは以下のようなものである。はじめに、4分子層のLaTiO₃層を室温でメタルマスクを介して堆積させ、その後、基板を 1200°C、10⁻⁶Torrの酸素分圧下で3時間アニール処理を行う。これは界面でLaとSrイオンを相互拡散させて導電性を得るためである。この層はソース・ドレイン電極として機能する。次に、4分子層のエピタキシャルCaHfO₃層を 700°Cで堆積させる。その後、大気中で400°C、12時間ポストアニールを行う。エピタキシャル層の上にアモルファスCaHfO₃層を室温で堆積させ、最後にAlゲート電極を真空蒸着する。

Fig. 8 にチャネル電流の(ゲート電圧-しきい値電圧)依存を示す。温度は 325Kから 50Kまで 25Kステップで測定した。チャネル電流が低温で増加していることがわかる。これは電界効果によってバンドのSrTiO₃に誘起されたキャリアが金属的に振舞っていることを意味する。Fig. 9 に電界効果移動度としきい値電圧の変化を温度の関数として表す。電界効果移動度は 50Kまで増加していることが分かる。エピタキシャル界面を使用したにも関わらず、しきい値の変化が観察されたが、これは界面に尚もトラップ準位が存在することを示唆している。より厚いエピタキシャル層を用いることでチャネル層からアモルファス層を遠ざけることができるため、さらに良好なデバイス動作が期待できる。

結論

ワイドギャップ絶縁層/SrTiO₃単結晶基板のヘテロ構造における界面輸送特性を詳細に研究した。絶縁膜作製時のスパッタリング効果によるSrTiO₃の酸素欠陥のために導電性の界面が得られることを示し、その特性がレーザーエネルギー密度及び酸素分圧に大きく依存することが分かった。上記の結果を考慮して、アモルファス及びエピタキシャルCaHfO₃を用いたSrTiO₃単結晶トランジスタを作製し、良好なトランジスタ動作を観測した。アモルファス層を用いたデバイスは温度に依らないトランジスタ動作を示した。恐らくアモルファス単結晶基板間に存在する高密度な界面準位の影響だと考えられる。エピタキシャル界面を用いることで、低温において特性の向上が確認され、電界効果で誘起したキャリアが金属的な挙動を示すことが観察された。

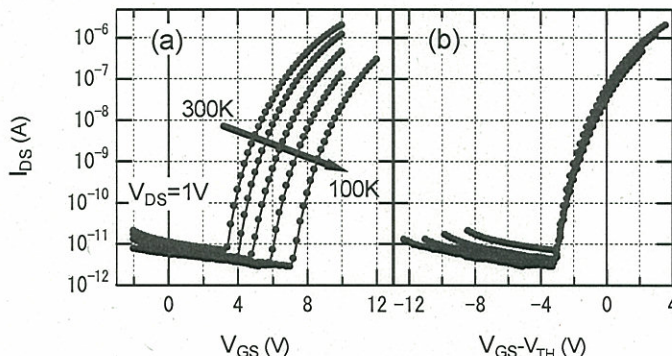


Fig. 7: (a) The channel current plotted as a function of the gate bias at different temperatures from 300 to 100 K. (b) The channel current vs. the gate voltage minus the threshold voltage.

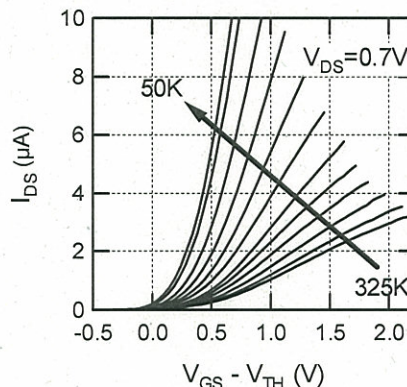


Fig. 8: The channel current vs. gate voltage minus the threshold voltage.

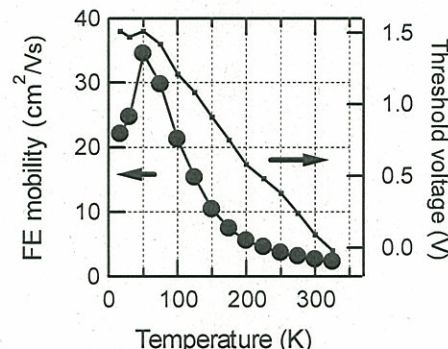


Fig. 9: Temperature dependence of the FE mobility and the threshold voltage.