

論文審査の結果の要旨

氏名 山 本 憲

本論文は「CMOS 周波数分周器の高性能化及びその応用に関する研究」と題し、CMOS集積回路を用いた周波数分周器の高速化と低消費電力化について研究し、無線通信用集積回路の周波数シンセサイザへの応用を示したもので、全7章で構成される。

第1章は「はじめに」であり、高周波回路CMOS集積回路の中でトランシーバアーキテクチャについて紹介するとともに、キャリア周波数を生成する位相同期回路(PLL)について述べている。電圧制御発振器(VCO)とならび初段の周波数分周器の性能がPLL全体の性能を左右することがしめされ、両者の年代ごとの動作周波数のトレンドが述べられている。その上で、本研究の主たる対象である周波数分周器の目指すべき性能や、位置づけを述べた後で、全体の章立てについての概観を行っている。

第2章は「差動注入同期型周波数分周器」と題し、本論文の鍵となる技術である差動注入同期型周波数分周器の提案をしている。従来の周波数分周器と機能の違いを示しながら提案する周波数分周器の特徴の概略を述べている。

第3章は「LC共振を利用した周波数分周器」と題し、LC型発振回路を用いCMOS回路としては論文発表時世界最高速の55GHzで動作する周波数分周器の設計・試作・実測結果について述べられている。本回路では、LC型発振回路に差動注入同期型回路を適用することにより、MOSFET単体の最大発振周波数(f_{max})以上の動作周波数を実現しながら、3.2GHzの広い動作範囲を実現している。

第4章は「擬似差動注入同期型周波数分周器」と題し、リング発振回路を用い4.3GHzの動作周波数で44 μ Wという動作周波数あたり世界最小の消費電力動作を実現する回路の設計・試作・実測結果について述べられている。リング発振器には、抵抗負荷3段NMOSリング発振回路が用いられ、その中で用いられるMOSFETのサイズと動作周波数との関係についても明らかにしている。

第5章は「60GHz帯周波数分周器」と題し、CMOS回路としては2006年1月現在世界最高速動作である70GHz周波数4分周器の設計・試作・実測について述べられている。差動注入同期回路のゲートバイアスを変化させることにより、入力MOSFETに非線形特性を作り出し、4分周するハーモニック周波数分周器の設計・試作・実測結果について述べられている。入力信号が加えられるMOSFETは、出力信号の3倍の周波数と入力信号の乗算を行うハーモニックミキサとして動作する。本回路では、出力にバラクタを付加することにより、ハーモニック分周器でありながら8.7GHzの動作周波数範囲を有している。

第6章は「周波数シンセサイザへの応用」と題し、周波数分周器を周波数シンセサイザに組み込む場合の応用例について示されている。最初に、周波数分周器のバラクタと電圧制御発振器(VCO)のバラクタを同時に制御し、動作周波数を連動して変化させ

る方式について説明している。デュアルピーク共振回路を用いることにより、消費電力を増加させることなく発振周波数を向上させることができることを説明している。また、実際のレイアウトでの、配線間のカップリングを電磁界シミュレーションで考察を行い、最後にミキサを用いる分数分周型PLLを用いたアーキテクチャ例を示している。

第7章は「結論」であり、各章での成果をまとめるとともに、今後の当該分野の技術進歩の方向性について議論を行っている。

以上のように本論文は、位相同期回路の性能を決定する主要回路である周波数分周器において、種々の差動注入同期型回路の試作検証を通じて、CMOS回路として世界最高の動作周波数や、動作周波数あたり世界最小の消費電力を有する回路を実現するなど情報学の基盤に貢献するところが大きい。

したがって、博士（科学）の学位を授与できると認める。