

論文の内容の要旨

論文題目 ソフトウェア可制御メモリ向け最適化コンパイラの研究

氏名 藤田 元信

近年、半導体集積技術の進歩に伴うプロセスの微細化に加え、命令レベル並列性の活用技術の進歩によりマイクロプロセッサの性能は大幅に向上している。一方で、主記憶に用いられる DRAM のアクセス速度向上は相対的に緩やかであり、マイクロプロセッサと主記憶の速度性能差は年々拡大する傾向にある。結果として、計算システム全体の性能は、メモリシステムの性能によって制限されている。マイクロプロセッサが持つ演算性能を十分に発揮させるためには、できるだけ記憶システムへのアクセスをチップ上に留め、主記憶へのアクセスを減らすことが重要である。従来、マイクロプロセッサと主記憶の間にキャッシュメモリを導入することで、この問題の解決が図られてきた。キャッシュメモリは時間的局所性・空間的局所性に基づくデータの再利用を可能とする。しかし、キャッシュメモリではハードウェアが暗黙的にデータ配置と入れ替えの制御を行い、転送粒度も固定であるため、プログラムの性質に応じた柔軟なデータ転送はできない。

一方、近年のマイクロプロセッサの性能向上に伴い、消費電力も増大する傾向にある。モバイルコンピュータのバッテリー駆動時間の延長への要求はもちろんのこと、高性能計算機においても、消費電力の増大は発熱の増加を伴い、冷却やマイクロプロセッサのパッケージングのコストを増大させるため、消費電力の削減はあらゆる計算システムにとって重要な課題である。消費電力は、トランジスタのスイッチング動作に起因するダイナミック消費電力と、スイッチング動作によらずトランジスタに常に流れるリーク電流に起因するスタティック消費電力の二つからなる。特に後者はプロセス技術の進歩に伴い飛躍的に増大しており、今後マイクロプロセッサの消費電力においてスタティック消費電力が支配的になると予測されている。キャッシュメモリやスクラッチパッドメモリをはじめとしたチップ上記憶はプロセッサチップを構成するトランジスタ数の多くを占める。スタティック消費電力はトランジスタ数に比例するため、チップ上記憶のスタティック消費電力の削減が特に重要である。チップ上記憶のスタティック消費電力を削減するためには、チップ上記憶のうち不要なデータを格納している部分の電源を制御し、リーク電流が少ないモードに遷移させることが有効である。しかし、データの配置をハードウェアにより暗黙的に行っているキャッシュメモリでは、不要なデータが格納されている部分を特定できない。制御する対象を投機的に選択せざるをえないため、予測に失敗した場合には性能や消費電力の損失を避けられない。

これらの問題はすべて、データの配置や入れ替えがハードウェアのみにより暗黙的に制御されていることに起因している。そこで本論文では、データの入れ替えと配置をソフト

ウェアから制御できるソフトウェア可制御メモリ SCM (Software Controlled Memory)を導入し、これを用いた高性能化、低消費電力化を目指す。本論文では、ソフトウェア可制御メモリをチップ上に搭載したアーキテクチャのひとつである SCIMA (Software Controlled Integrated Memory Architecture)を例として取り上げる。SCIMA では、SCM と主記憶の間のデータ転送は専用命令によって行われ、データ転送の粒度は可変である。

しかし、ソフトウェア制御可能なオンチップメモリを用いてデータ転送を最適化するためには、従来のキャッシュでは自動的に行われていたデータ配置や入れ替え、転送のスケジューリングをプログラマが行わなければならない、アプリケーションの最適化に伴うユーザの負荷が問題となる。そこで本論文ではまず、より多くのアプリケーションが、ソフトウェア可制御メモリの恩恵を享受できるようにするため、自動最適化コンパイラの一つのアプローチとして、“ ヒント情報に基づく自動最適化コンパイラ ” を提案した。本論文で提案するコンパイラでは、ソフトウェア制御メモリの制御方法やパラメータ等のアーキテクチャをユーザが意識することなく、最適化対象ループと、最適化対象配列データの再利用性の有無というアプリケーションに関する情報のみをヒント情報として与えるだけで、ソフトウェア可制御メモリを用いた最適化を可能にする。評価の結果、提案手法によりユーザの負荷を大幅に減らせること、従来の方法で最適化したものと同等の性能が得られることがわかった。

今後、チップ上記憶のスタティック消費電力の削減が重要になると予測されている。この問題についても、ソフトウェア可制御メモリの利用は有効である。データの配置をソフトウェアから制御できないキャッシュメモリとは異なり、ソフトウェア可制御メモリでは、将来的にアクセスされる領域とアクセスされない領域を完全に特定できる。したがって、ソフトウェア可制御メモリでは、アクセスされない領域をリーク電流が少ないモード (Sleep モード) に切り替えておくことで、従来のキャッシュよりも効率的にスタティック消費電力を削減できる。そこで本論文では、ソフトウェア可制御メモリの特徴を生かしたスタティック消費電力削減手法を提案した。スタティック消費電力削減手法は、Sleep モードを実現するための回路技術と、その回路技術を用いスタティック消費電力を削減する戦略からなる。リーク電流削減回路技術については、これまでにキャッシュメモリのリーク電流削減のために、様々な技術が提案されている。ソフトウェア可制御オンチップメモリは、ハードウェアとしてはキャッシュと同様の SRAM アレイであるため、キャッシュメモリ向けに提案されている回路技術はソフトウェア可制御メモリに対しても、そのまま、あるいはわずかな改変で適用できると考えられる。リーク電流削減回路技術は、Sleep モードに遷移させたときにもデータを保持し続ける State-Preserving に分類される手法と、データを保持しない代わりに、より高いリーク電流削減率を達成する Non-State-Preserving に分類される手法の二つに分けられる。ソフトウェア可制御メモリでは、必要のないデータを保持する領域を確実に判別できるため、Sleep モードにおいてデータを保持し続ける必要がない。したがって、ソフトウェア可制御メモリ向けのリーク電流削減回路技術としては

Non-State-Preserving に分類される技術が適していると考えられる。本論文ではそれらの中から Gated-Vdd と呼ばれる回路技術の一部を変更したリーク電流削減機構を提案した。一方、スタティック消費電力の削減戦略としては、SCM と主記憶間のデータ転送命令がソースコード上に記述されることを利用し、ソースコード上の SCM 領域確保・解放に連動してモードの遷移を行う方法を提案した。評価により、SCIMA では利用する SCM のサイズによって性能と消費電力のトレードオフはあるものの、従来のキャッシュに比べて、スタティック消費エネルギーを効率的に削減できることがわかった。

プロセッサの消費エネルギーはダイナミック消費エネルギーとスタティック消費エネルギーからなる。ソフトウェア可制御メモリを搭載したプロセッサでは、これらは両方ともソフトウェア可制御メモリの利用率に依存しており、全く独立に最小化することはできない。したがって、プロセッサ消費エネルギーを最小化するためには、ダイナミック消費エネルギー、スタティック消費エネルギーの関係を考慮に入れソフトウェア可制御メモリの利用率を決める必要がある。加えて、スタティック消費電力の原因であるリーク電流のうち、最も多くを占めるサブスレッショルドリーク電流は、温度に指数的に依存することが知られている。そのため、最適なソフトウェア可制御メモリの利用率はプロセッサチップの温度によって異なる。

プロセッサチップの温度は、プログラム実行前にあらかじめ知ることはできない。そこで、本研究では、プロセッサ全体の消費エネルギー最適化を目的として、プログラム実行中にプロセッサチップ温度に応じて、動的にソフトウェア可制御メモリの利用率を最適化する手法を提案した。提案手法では、コンパイル時に温度と消費エネルギーの対応表を生成しておき、プログラム実行時に、プロセッサチップ温度を監視しながら、その温度において最も消費エネルギーの少ない SCM 利用率に切り替えながら実行を進めることで消費エネルギーを削減する。評価により、温度の影響を考慮しないで SCM の利用率を決定した場合に比べ、温度に応じて SCM の利用率を変更することで、プロセッサ全体の消費エネルギーを削減できることがわかった。

本論文では、マイクロプロセッサと主記憶の性能格差の拡大、チップ上記憶におけるスタティック消費電力の増大を背景として、ソフトウェア可制御メモリを用いた性能最適化、消費電力最適化手法を提案した。本研究を通じて、提案するコンパイル手法はソフトウェア可制御メモリを用いた性能向上にとっても、消費電力の削減にとっても有効であることがわかった。