

## 論文の内容の要旨

論文題目      A Study on Low-Power Circuit Design  
for Silicon VLSI's and Organic IC's in  
Ubiquitous Electronics Environment  
(ユビキタスエレクトロニクス環境に  
おけるシリコン VLSI と有機集積回路  
の低電力回路設計に関する研究)

氏 名      川口 博

センサ・ロボット・車・家・街・農場など、ありとあらゆるところに集積システムが存在する来るべきユビキタスエレクトロニクス環境では、全てがネットワークで結ばれ、我々の安全で快適な生活を支える。各々の集積システムは小容量バッテリーで駆動されるか、太陽光・風・振動・電磁波による送電などの環境エネルギーや無線送電を利用したものであり、低電力であることが要求される。

現在までの高度電子化近代社会が高性能シリコン VLSI を基盤としているように、将来のユビキタスエレクトロニクス環境においてもシリコン VLSI が主流であり、そこでは上述の通り低電力シリコン VLSI が必須である。しかし、それだけではユビキタスエレクトロニクスは実現できない。我々はシリコン VLSI とは違う技術である有機集積回路が、大面積センサとしてシリコンを補完するのではないかと考えている。有機集積回路は速度は遅いものの、大面積であっても低コストであることが利点であり、センサ向きである。この有機集積回路の大面積化に伴う低電力化技術と遅延抑制も必須技術となるであろう。すなわ

ち将来のユビキタスエレクトロニクス環境を支えるシリコンと有機半導体の融合を、低電力技術で支えることが本論分のテーマであり、これを追求する。

以下に本論分の構成について述べる。シリコンによるシステム VLSI を回路設計の側面から研究すると同時に、リアルタイム OS を含めたソフトウェアの観点による低電力化についても述べる。また有機集積回路の低電力・高速化技術も含む。これら本論分の意義については 1 章に述べている。

## 2 章 シリコン VLSI におけるクロック電力の低電力化

シリコン VLSI における消費電力の 20% から 45% はフリップフロップとその分配、すなわちクロック網によるものであるが、この電力を抑制する RCSFF (Reduced Clock-Swing Flip-Flop) の提案を行った。クロックの振幅を小さくすることにより低電力を達成する。シリコン VLSI においては、電力は信号振幅に比例するが、RCSFF は低振幅のクロックを受け付けることが可能であるため、低電力を達成する。同様にこの低振幅クロックを供給するドライバ回路も用意し、低電力クロックシステムとしての可能性を示した。

クロックの低振幅化により、RCSFF 内の p 型トランジスタが完全に遮断しなくなり、リーク電流が生じるが、これを基板効果によるしきい値の増大で回避した。RCSFF は電力を従来のフリップフロップに比べて 3 分の 1 にまで減少させることが可能である。また、RCSFF は長い RC 配線をもった差動回路に最適であることを示した。回路面積についても、従来のフリップフロップに比べ、20% 減少させることができた。

## 3 章 分布定数 RC 配線の遅延・ノイズ解析

2 章で述べた通り、低電力化のためには複数の電圧領域、すなわち複数の信号振幅の存在があり得るが、そのような状況下ではシグナルインテグリティ（信号の品質）が問題となる。つまり小さい信号を伝搬する配線に対して、他の配線上の大きな信号がカップリングによりノイズを与える。またノイズのみならず、カップリングによって遅延の増大も引き起こす。この章では、2 本もしくは 3 本の平行した RC 分布定数線路におけるノイズと遅延を簡単な数式で求めた。配線モデルは同じ方向に駆動される場合と異なった方向に駆動される場合の 2 通りについて用意し、加えて駆動トランジスタの接合容量も考慮したものとなっている。回路設計者が設計の初期段階において、ノイズと遅延の見積もりを簡単に行えるものである。精度についても HSPICE に対して 10% 以内の誤差に抑えられている。

#### 4章 ロジック回路とメモリ回路におけるリーク電力低減技術

シリコン VLSI において低しきい値ロジック回路が動作していないスタンバイ時に、そのリーク電流を遮断する回路方式として SCCMOS (Super Cut-off CMOS Scheme)を提案した。SCCMOS はロジック部、遮断スイッチともに低しきい値トランジスタを用いているが、スタンバイ時に遮断スイッチのゲートを負に駆動することにより、低しきい値ロジック回路のリーク電流を抑制する。このため 0.5V 程度の低電源電圧でも動作可能であり、MTCMOS (Multithreshold CMOS)より 0.2V ほど低電源電圧でもリーク電流を増大させることなく動作する。遮断スイッチのゲートの負バイアスにより、1 ゲートあたり 1pA にまでリーク電流を抑制させることができる。将来の電源電圧 0.5V 以下のシリコン VLSI においても有効な技術である。

DLC (Dynamic Leakage Cut-off Scheme) SRAM は、基板効果を用いたメモリセルのアクティブリークを削減する技術である。ゲート酸化膜に過剰な電圧を加えることなく、メモリセルのサブスレッショルド漏れ電流を抑制し、従来の SRAM より 2.5 倍高速で電源電圧 0.5V 動作が可能なものである。選択されていないメモリセルの基板電圧を負バイアスすることにより、基板効果によってトランジスタのしきい値電圧を上げ、リークを抑えるとともに、選択されているメモリセルについては通常の零バイアスとし、低しきい値電圧による高速動作を可能とする。基板バイアス駆動回路は電源電圧を超える電圧、もしくは接地電圧より低い電圧を出力するが、これをゲート酸化膜に高電圧がかからないような回路構成に工夫することにより、信頼性の問題が発生しない。電源電圧 1V の 1Mb-SRAM のリーク電流を 200mA から 0.9mA に抑制できることを示した。

#### 5章 ソフトウェアによる市販プロセッサの低電力化

マルチメディアシステムに用いる市販プロセッサの低電力化をアプリケーションソフトウェアとオペレーションシステムで行った。

アプリケーションソフトウェアが負荷を監視し、その値によってプロセッサの電源電圧とクロック周波数を動的に変化させることにより低電力化を達成する技術である電圧ホッピングについて述べ、この実現を可能とするコントローラ的设计指針を与えた。電圧ホッピングを実時間オペレーティングシステムへと拡張し、マルチタスク環境においてもその有効性を確認した。

この実時間オペレーティングシステムは汎用リアルタイム OS ( $\mu$ ITRON) の改造によって実現した。マルチメディアシステムの構築については、ハードウェアのみならず、アプリケーションソフトウェアや OS レベルにまで市販品の改良が必要となるが、その方法について追求した。プロトタイプシステム上で

MPEG4 を含む複数のタスクを動作させ、74%の電力が削減可能であることを確認した。

## 6章 大面積有機集積回路

有機半導体による人工皮膚(感圧センサ)とシート型スキャナの設計と試作を行い、動作を検証した。

人工皮膚回路ではアクティブマトリクス適用により、パッシブマトリクスで問題となるリーク電流の増大を回避し、その有効性を確かめた。また物理的に切り貼り可能な、センサ面積に対してスケーラブルな設計を紹介し、設計コストの削減に寄与できることを示した。さらに有機集積回路においても、回路設計はレベル1 SPICE MOS モデルと標準レイアウトツールで行い、シリコンと同じ設計環境を構築できる見通しを得た。

有機シート型スキャナではシリコンメモリでも採用されている二重ワード線二重ビット線を有機 p 型電界トランジスタのみで実現した。この階層構造をもったスキャナを積層される3枚のシートのレイアウトを工夫することにより、解像度を低下させることなく実装できた。従来の単純ワード線ビット線構造に比べ、サイクル時間を1/5.6倍に、電力を1/7倍に改善した。

以上、本論分が述べた、ユビキタスエレクトロニクスを構成するシステムの低電力化に対する解決法である。まとめると、本論文ではシリコンシステムを電圧領域で制御するもの、しきい値電圧で制御するもの、またソフトウェアで制御するものになり、それぞれ異なったレベルで低電力化に対して問題解決を行った。その結果、ロジックやメモリ、市販プロセッサ全体などさまざまな回路要素の低電力化に貢献した。また将来のシリコンを補完する大面積有機集積回路の電力と遅延の増大に対する解を示した。8章では引き続き、本論文の学会や産業界に対する貢献について述べ、関連した論文の紹介をした。研究の一部はユビキタスエレクトロニクスの本命である次世代携帯電話に応用を試みられており、将来有望な技術であると言える。

以上