

## 審査の結果の要旨

論文提出者氏名 川口 博

本論文は「A Study on Low-Power Circuit Design for Silicon VLSI's and Organic IC's in Ubiquitous Electronics Environment」(和訳: ユビキタス・エレクトロニクス環境におけるシリコン VLSI と有機集積回路の低電力回路設計に関する研究)と題し、将来のユビキタス・エレクトロニクス環境を支えるシリコンと有機半導体の低消費電力回路技術を提示するもので、全7章で構成されている。

第1章は「Introduction」(序論)であり、ユビキタス・エレクトロニクス環境におけるシリコンと有機半導体の補完関係について述べ、それらに低電力性が要求される必要性を説き、本論文の目的と背景を明確にしている。

第2章は「RCSFF (Reduced Clock-Swing Flip-Flop) for 63% Clock Power Reduction」(63%クロック電力を削減可能な低クロック振幅フリップフロップ)と題し、シリコン VLSI における消費電力の20%から45%を占めるクロック網の低電力化を、クロック振幅の低電圧化で実現する手法について記述している。

第3章は「Closed-Form Expressions in Delay and Crosstalk Noise for Capacitively Coupled Distributed RC Lines」(容量結合されたRC分布線路における遅延と混信雑音の数式表現)と題し、複数の電圧が混在する領域内での線路遅延と混信雑音が簡単な数式で表現されている。これらの式は同じ方向に駆動される場合と異なった方向に駆動される場合の2通りについて用意され、加えて駆動トランジスタの接合容量も考慮されている。従って、設計の初期段階において、遅延と混信雑音の見積もりを簡便に行える、有用なものである。

第4章は「Leakage-Current Reduction Schemes for Logic Circuits and SRAM Cells: SCCMOS (Super-Cutoff CMOS) and DLC (Dynamic Leakage Cutoff) SRAM」(論理回路とSRAMにおけるリーク電流削減法: スーパーカットオフCMOSと動的リーク削減SRAM)と題し、シリコン VLSI における論理回路とSRAMのリーク電流削減技術を提案するとともに、実験により実証し、有効性を確認した。

第5章は「 $V_{DD}$  Hopping with Off-the-Shelf Processors for Multimedia Applications and Its Extension to  $\mu$ ITRON-LP」(市販プロセッサを用いたマルチメディア向け電圧ホッピングとその $\mu$ ITRON-LPへの拡張)と題し、電圧ホッピング技術を用いて、マルチタスク環境においてマルチメディア処理を行う市販プロセッサの低電力化が実現されている。電圧ホッピングとは、処理負荷を監視し、その値によってプロセッサの電源電圧とクロック周波数を動的に変化させる低電力化技術であり、この実装を可能とするコントローラLSIの設計指針を与えた。

第6章は「Active-Matrix and Hierarchical Structure in Organic Large-Area Sensors」(有機大面積センサにおけるアクティブマトリクスと階層構造)と題し、有機半導体による感圧センサとシート型スキャナの低電力動作が検証されている。感圧センサではアクティブマトリクスの適用により、パッシブマトリクスで問題となるリーク電流の増大を回避し、その有効性を確かめた。シート型スキャナではシリコンメモリで採用されている二重ワード線二重ビット線構造を有機 p 型電界トランジスタのみで実装し、従来の単純ワード線ビット線構造に比べ、サイクル時間低減と低電力化を達成した。

第7章は「Conclusions」(結論)であり、本論文の成果を要約し結論を述べるとともに、本論文の学会や産業界に対する貢献についても触れている。

以上のように本論文は、ユビキタス・エレクトロニクスの基礎となる、シリコンをベースとしたロジック、メモリおよびプロセッサの低電力設計手法と、シリコン集積回路を補完する有機トランジスタ集積回路の低電力設計手法を示すとともに、その有効性を設計・試作・測定を通じて実証したものであって、電子工学上寄与するところが少なくない。

よって本論文は博士(工学)の学位請求論文として合格と認められる。