

論文の内容の要旨

論文題目：Circuit design of NAND flash memory for high-speed programming

NAND 型フラッシュメモリの書き込み高速化に向けた回路設計に関する研究

氏名：竹内 健

要旨：

本研究は NAND 型フラッシュメモリの書き込み高速化に向けた回路設計に関する研究である。本研究では 1 個のメモリセルに 2 ビット以上の情報を記憶する多値メモリと 1 個のメモリセルに 1 ビットの情報を記憶する 2 値メモリの両方の高速化を行った。まず書き込み速度に関する基礎理論を構築し、ページサイズ、書き込む状態数、書き込みパルスの時間、ベリファイ読み出しの時間、回路ノイズなどの主要パラメータで書き込み速度を定量的に表すことに成功した。次に、3 種類の NAND 型フラッシュメモリ、即ち、電源電圧 3V 動作の多値 NAND 型フラッシュメモリ、1.8V 以下の低電源電圧動作の多値 NAND 型フラッシュメモリ、電源電圧 3V 動作の 2 値 NAND 型フラッシュメモリに対して、書き込みを高速化する上での問題点を明らかにした。更に、前記 3 種類の NAND 型フラッシュメモリを高速化する指針を提起した。

高速化指針に基づき、4 種類の高速化回路技術 (Multipage cell technology, Low load capacitance technology, Low noise technology, Parallel write technology) を提案した。第 1 に、電源電圧 3V 動作の多値 NAND 型フラッシュメモリ及び 1.8V 以下の低電源電圧動作の多値 NAND 型フラッシュメモリを高速化するために、Multipage cell technology を提案した。従来の多値メモリでは 1 個のメモリセルに記憶される 2 ビットが 2 個のカラムアドレスに相当するため、4 値記憶 (2 ビット記憶) では 3 個の状態を同時に書き込む必要があった。これは、書き込む状態数が 3 であることを意味する。一方、新提案では 1 個のメモリセルに記憶される 2 ビットを 2 個のロウアドレス (ページアドレス) にアサインした。その結果、3 個の書き込み状態は 2 回の動作で書き込まれることになり、書き込む状態数を半減することに成功した。書き込み速度が 130% 高速化するだけでなく、読み出しも 2 回の動作に分けて行うため、読み出しスピードは 2 倍に高速化された。本提案は商品化されている全ての多値 NAND 型フラッシュメモリで採用され、デファクトスタンダードの技術・製品仕様となっている。

第 2 に、1.8V 以下の低電源電圧動作の多値 NAND 型フラッシュメモリを高速化するために、Low load capacitance technology を提案した。従来の書き込み動作では、非選択電圧を大容量

(20nF)のビット線からメモリセルのチャンネルに印加していたのに対して、新提案ではビット線よりも容量が 1/10 程度のソース線からチャンネルに非選択電圧を印加する。その結果、昇圧回路の負荷容量が減少し、書き込み時間が 70%短縮した。更に、消費電力は 53%減少し、チップサイズや製造コストも 5%減少した。Low load capacitance technology により、1.8V 以下の低電源電圧動作の多値 NAND 型フラッシュメモリが実現可能になった。

第 3 に、電源電圧 3V 動作の多値 NAND 型フラッシュメモリ及び 1.8V 以下の低電源電圧動作の多値 NAND 型フラッシュメモリを高速化するために Low noise technology を提案した。電源電圧 3V 動作の多値 NAND 型フラッシュメモリに対しては、新しいメモリセルアレイ (Double-level-Vth select gate array architecture)を提案した。新しいメモリセルアレイではソース線が除去され、読み出し中にビット線がソース線として動作する。その結果、メモリセルアレイ内のソース線抵抗に起因する回路ノイズとビット線間容量結合ノイズを共に除去することができた。一方、1.8V 以下の低電源電圧動作の多値 NAND 型フラッシュメモリに対しては、新しい読み出し方式 (Vcc bit-line sensing scheme) を提案した。従来の読み出し動作では、ビット線からメモリセルを通じてソース線に読み出し電流を流す。一方、新提案ではメモリセルを介してソース線からビット線に充電して読み出しを行うことで、ソース線抵抗に起因するノイズとビット線間容量結合ノイズを共に除去することができた。Low noise technology により、電源電圧 3V 動作の多値 NAND 型フラッシュメモリ及び 1.8V 以下の低電源電圧動作の多値 NAND 型フラッシュメモリはそれぞれ、77%、57%高速化された。

第 4 に、電源電圧 3V 動作の 2 値 NAND 型フラッシュメモリを高速化するために、Parallel write technology を提案した。書き込み中に、ビット線に書き込みデータを記憶するダイナミックラッチとして使用することで、2 個のメモリセルを 1 個のページバッファを用いて同時に書き込むことに成功した。その結果、チップサイズの増加なしにページサイズは 2 倍に増加し、電源電圧 3V 動作の 2 値 NAND 型フラッシュメモリの書き込み性能を 73%高速化することができた。

以上の高速化技術により、電源電圧 3V 動作の多値 NAND 型フラッシュメモリでは世界初の 1MByte/sec の高速書き込みを実現し、2001 年に世界初の多値 NAND 型フラッシュメモリ (0.16um 1Gbit 品) の商品化に成功した。また、307%書き込みを高速化し、10MByte/sec の電源電圧 3V 動作の高速多値 NAND 型フラッシュメモリを実現した。電源電圧 3V 動作の多値 NAND 型フラッシュメモリは、デジタルカメラ、オーディオプレーヤー、デジタルビデオカメラ、PDA、カーナビゲーション、ゲーム機器、USB メモリなど広い用途に使われている。本研究によりこれらの機器でハイビジョン (HDTV) 画質の動画の撮影や光ファイバー通信 (FTTH) レベルのスピードで音楽・映像をダウンロードすることができるようになる。

1.8V 以下の低電源電圧動作の多値 NAND 型フラッシュメモリに関しては、書き込み速度を 514% 高速化し、5MByte/sec の高速書き込みを実現した。1.8V 以下の低電源電圧動作の多値 NAND 型フラッシュメモリは携帯電話で使われ、本研究により DVD 画質の動画の撮影やダウンロードが可能な携帯電話が実現する。

電源電圧 3V 動作の 2 値 NAND 型フラッシュメモリでは、書き込み速度を 73% 高速化し、30MByte/sec の超高速書き込みを実現した。電源電圧 3V 動作の 2 値 NAND 型フラッシュメモリはデジタル一眼レフカメラで使用され、本研究によって 1G ピクセルの高精細デジタル一眼レフカメラの高速連写が実現する。

本研究の工学的意義は以下の 7 点である。

- 1) 書き込み速度に関する基礎理論を初めて構築し、更に実際のチップ設計に適用して実用技術に発展させた。
- 2) 従来は回路設計の前提条件であった、書き込む状態数を最適化できるパラメータに発展させた。書き込む状態数の最適化により、電源電圧 3V 動作の多値 NAND 型フラッシュメモリ及び 1.8V 以下の低電源電圧動作の多値 NAND 型フラッシュメモリを 130% 高速化した。
- 3) 低電圧化が性能に与える影響を初めて実証した。コア回路の負荷容量の低減により、1.8V 以下の低電源電圧動作の多値 NAND 型フラッシュメモリを 70% 高速化した。
- 4) 回路ノイズが性能に与える影響を初めて実証した。ノイズ低減技術を提案し、電源電圧 3V 動作の多値 NAND 型フラッシュメモリ及び 1.8V 以下の低電源電圧動作の多値 NAND 型フラッシュメモリを 60 ~ 70% 高速化した。
- 5) 従来は設計の前提条件（ページバッファの数）であったページサイズを、最適化できるパラメータに発展させた。その結果、チップ面積を増加させることなく、電源電圧 3V 動作の 2 値 NAND 型フラッシュメモリを 73% 高速化した。
- 6) ほとんどの技術は実用化した。多値で世界初の 1MByte/ssec を実現し、世界初の多値 NAND 商品化に成功した。また、全ての多値 NAND 型フラッシュメモリに使用され、デファクトスタンダードの技術・製品仕様になった。
- 7) 本研究により、電源電圧 3V 動作の多値 NAND 型フラッシュメモリ、1.8V 以下の低電源電圧動作の多値 NAND 型フラッシュメモリ、電源電圧 3V 動作の 2 値 NAND 型フラッシュメモリに対してのすべてに対して性能ターゲットを達成した。電源電圧 3V 動作の多値 NAND 型フラッシュメモリでは 307% 高速化し、10MByte/sec を実現した。1.8V 以下の低電源電圧動作の多値 NAND 型フラッシュメモリでは 514% 高速化し、5MByte/sec を実現した。電源電圧 3V 動作の 2 値 NAND 型フラッシュメモリでは 77% 高速化し、30MByte/sec を実現した。