

審査の結果の要旨

論文提出者氏名 竹内 健

本論文は「Circuit design of NAND flash memory for high-speed programming」(和訳：NAND型フラッシュメモリの書き込み高速化に向けた回路設計に関する研究)と題し、携帯用ストレージデバイスとして幅広く使われている NAND 型フラッシュメモリのプログラミングを高速化する手法を提案している。特に、1 メモリセルに 2 ビット記憶する多値メモリ方式及び、1.8 ボルト以下の低電圧動作における高速化回路技術をも提示するもので、全 7 章で構成される。

第 1 章は「Introduction」(序論)であり、近年の NAND 型フラッシュメモリの書き込みスピードのトレンドについて述べるとともに、本研究の背景を述べ、目的を明確にしている。

第 2 章では「Principles of high-speed design」(高速化理論)と題し、NAND 型フラッシュメモリの書き込み特性に関する基礎理論とともに、書き込み速度をページサイズ、回路ノイズ、書き込みパルス幅等の基本パラメータを用いてモデル化した結果を記述している。

第 3 章は「Multipage cell technology」(マルチページセル技術)と題し、同時に書き込む状態の数を減らすことによって、多値メモリを 130%高速化する回路について説明するとともに、試作した 0.16 μ m 1G ビットの NAND 型フラッシュメモリの測定結果が示されている。

第 4 章は「Low load capacitance technology」(負荷容量低減技術)と題し、書き込み中の昇圧回路の負荷容量を低減することで、電源電圧 1.8 ボルト以下で動作する低電圧多値メモリの書き込みを 70%高速化する回路技術を提案している。また、0.25 μ m 256M ビットの NAND 型フラッシュメモリを試作及び測定結果についてまとめている。

第 5 章は「Low noise technology」(低ノイズ技術)と題し、読み出し中の回路ノイズを低減することで多値メモリを高速化する方式を提案し、書き込みを 70%高速化できることを示している。特に電源電圧 3 ボルト品に対してはノイズを低減する新メモリセルアレイを、1.8 ボルト以下の低電圧品に対してはノイズを削減する新読み出し方式を提案している。

第 6 章は「Parallel write technology」(並列書き込み方式)であり、チップサイズを増加させることなくページサイズを拡張することで、2 値メモリの書き込み速度を 70%高速化する回路を提案し、シミュレーションを用いて動作を実証している。

第 7 章は「Discussion and conclusion」(議論と結論)であり、本論文の成果を要約し結論を述べるとともに、本論文の産業界に対する貢献についても触れている。

以上のように本論文は、携帯用ストレージデバイスとして幅広く使われている NAND 型フラッシュメモリの書き込み速度に関する基礎理論を構築するとともに、実際のチップ設計にその基礎理論を適用することにより、書き込み速度を向上させる回路設計技術を提案し、その有効性を設計・試作・測定を通じて実証したものであって、電子工学上寄与するところが少なくない。

よって本論文は博士(工学)の学位請求論文として合格と認められる。