

審査の結果の要旨

論文提出者氏名 植松 芳彦

本論文は、「超高速バックボーン網における高信頼同期・バッファ制御系設計技術」と題し、6章からなる。国内の電話サービス・インターネット接続サービス利用者数は各々7000万人を超え、企業においても90%を超える企業がイントラネットを導入する等、情報通信サービスは個人生活・企業活動を支える社会基盤として定着している。このため通信キャリアのバックボーン網は更なる情報通信需要に対応するための大容量化を求められると同時に、個々の通信サービスは社会基盤として相応しい高い品質と信頼性が求められている。本論文は、超高速ネットワークシステムの高品質・高信頼化技術に関し、特に超高速信号系列に対する同期処理系、およびセル・パケットの待ち合わせを行うバッファ制御処理系の高信頼な機能設計法を提案し、その有効性や実現性を論じている。

第1章は「序論」であり、通信網における超高速デジタル信号処理バックボーン網の役割を述べ、これを構成するネットワークシステムの構成、要求条件を示している。特に、受信した超高速信号系列内の伝送路符号・伝送フレーム・タイムスロットパス・パケット等の位置を明確化する同期処理、容量が有限な出力信号系列に対し非同期到着するセル・パケット系列を一定品質で収容するバッファ制御処理について、信頼性や品質を維持しつつ高速化や多様な特性のトラフィックを収容するための課題、外部技術動向を明らかにしている。

第2章は「超高速・高信頼伝送路符号同期法」と題し、超高速 Ethernet 等で用いられるビット挿入型伝送路符号について、符号同期を高速化・高信頼する並列型符号同期方式を提案している。提案方式は、符号ワードと同一長のウィンドウを設定してウィンドウ単位に並列に挿入ビット位置をチェックし、ウィンドウ内で連続して最も長く検出した位置を真の挿入位置と判定する。これによりランダムな受信信号系列が偶発的に挿入ビットを模擬した場合であっても、真の挿入位置に伝送路誤りが発生しない限り誤った位置で後方保護過程に入る可能性がなく、同期の信頼性を飛躍的に向上させることができる。また提案方式の同期過程を厳密に記述するシグナルフローグラフモデルを提案し、モデル上の各状態から同期状態に至る伝達関数間に成り立つ漸化的な関係に着目して同期過程を厳密に解析する方法を確立している。提案方式が従来のビットバイビット検索方式に比べ、誤同期危険率や同期復帰時間等において極めて優れた特性を示すことを定量的に明らかにしている。

第3章は「超高速・高信頼 SDH フレーム・パス同期法」と題し、拡張性や信頼性に優れた高速 SDH フレーム同期法、タイムスロットパス同期・クロック乗換法(ポインタ処理法)を提案している。フレーム同期については、超高速 SDH フレームに対し、単一低速プロセッサの並列処理により高信頼な同期を確立する、拡張性の高いフレーム同期法について論じている。超高速信号を低速信号に分離する過程で発生する位相ずれ量を、後段の低速プロセッサが完全に判定するための同期ワードパタン条件を明確化し、位相ずれを補正しながら同期を確立するアルゴリズムを提案している。ポインタ処理法については、任意のタイムスロットパスに対し迅速な異常検出、高い伝送路誤り耐力、確実なクロック乗換を実現するポインタ処理法を論じ、最小タイムスロット単位の伝送誤り保護処理とパス収容状態の常時監視を特徴とするポインタ処理アルゴリズムを提案している。フレーム同期法、ポインタ処理法ともに、同期過程を記述するシグナルフローグラフモデルを提案し、これを用いて状態遷移過程を厳密に数値解析することで、提案方式の有効性や信頼性を定量的に明らかにしている。

第4章は「システム内部速度調整バッファ設計法」と題し、セル・パケットスイッチ部と物理的な伝送フレームのペイロードの間に存在する速度差異を吸収する速度調整バッファの設計法について、バッファ量、内部速度上昇量、転送

品質の間に成り立つ関係を明らかにし、システム内部速度調整系の厳密な設計法を確立している。速度調整バッファに滞留するパケット量の状態遷移をシグナルフローグラフによりモデル化し、各状態からセル損失発生状態に至る時間に関する伝達関数を求め、各伝達関数の間に成り立つ漸化的関係に着目して廃棄発生時間間隔、バッファ量、内部速度上昇量の関係の厳密解を求める方法を提案している。また実際のネットワークシステムにおける速度調整バッファの設計例を示している。

第5章は「高品質パケットバッファ・収容設計法」と題し、Diffserv等の優先制御パケット網におけるエンドエンド転送の高品質化を目的とし、低優先クラスの影響を安全側に考慮した高優先クラスのパケットバッファ・収容設計法を提案している。非優先権待ち行列モデルにより各システムの高優先クラス滞留パケット数の平均分布を求め、各システムの最悪入トラヒック特性をオンオフモデルで近似し平均ポアソン入力との乖離量の分布を伝達関数として求め、平均分布と乖離量分布を重畳することで、各システムの最悪滞留パケット数分布を求め、これを安全側の品質設計基準とする方法を提案している。最悪分布の伝達関数の重畳により、多段接続系の品質設計も可能であることを示し、計算機シミュレーションとの比較等により、提案法の有効性・評価の安全性を示している。

第6章は「結言」であり、本論文の成果をまとめると共に、本研究による設計技術が実際に適用された超高速SDH伝送システム、超高速ATMクロスコネクトシステム等の基盤ネットワークシステムを示している。

以上これを要するに、本論文は、デジタル信号処理網の基本転送技術である伝送路符号・フレーム同期技術、セル・パケットバッファ制御技術に関し、高速化や多様なトラヒックの一元収容等の要求条件を満足しつつ社会基盤としての信頼性や品質を維持する機能設計法を提案し、効果や実現性を定量的に明確化するとともに、研究の成果を実際の基盤ネットワークシステムの機能設計に適用している。また複数のプロセッサによる並列同期系や他の品質クラスのトラヒックの影響を受けるバッファ制御系等、複雑な制御系をシグナルフローグラフにより厳密にモデル化し、同期特性や滞留パケット数分布の厳密解を導出する理論的手法を提案する等、電子情報通信工学上寄与するところが少なくない。よって本論文は、博士(情報理工学)の学位請求論文として合格と認められる。