

審査の結果の要旨

論文提出者氏名 モハト アパス アボト^ラチ アボト^ハト

本論文は「Study on Noise Immunity of Low-Power Static CMOS Digital Design (低電力スタティック CMOS デジタル設計におけるノイズ耐性に関する研究)」と題し、低電源電圧化が進む微細デバイス CMOS 低消費電力デジタル回路で問題が顕著になりつつある回路のノイズ耐性およびノイズ特性について研究したもので、英文で記述され六章より構成されている。

第一章は Introduction (序論) であり、研究の背景となっている将来の集積回路での電力消費と動作信頼性の問題を述べ研究の目的を明らかにしている。

第二章は「Noise Immunity Investigation of Low Power Scheme (低消費電力回路方式のノイズ耐性の検討)」と題し、低消費電力向け回路方式として現在提案されている諸方式を対象として、電源雑音、信号配線雑音、素子バラツキを考慮したノイズ耐性について、数値シミュレーションによる検討を加えている。これに基づき将来予想される動作条件下でのノイズ耐性についての相対比較を行うとともに、新たに高ノイズ耐性回路方式 (DVTMTCMOS) を提案しその効果を論じている。

第三章は「Statistical Model for Logic Errors in CMOS Digital Circuits (CMOS デジタル回路における誤動作の統計的モデル)」と題し、解析的手法によりノイズ環境下での CMOS インバータ回路の誤動作確率を解析的に計算するモデルを提案している。それをもとに低消費電力向けに提案されている諸回路方式のノイズ耐性を解析モデルにより比較検討するとともにシミュレーション結果と照合することでモデルの精度を検討している。この解析モデルを一般の論理ゲートに拡張応用するとともに、遅延と論理動作を考慮した多段論理回路での誤動作伝搬のモデルを提案し、回路としての誤動作確率の統計的解析方法を提案し、幾つかの回路について適用して数値シミュレーション結果と照合することで提案モデルの妥当性を明らかにしている。

第四章は「On-chip Noise Measurement (雑音のオンチップ測定)」と題し、実際の微細加工技術を用いた CMOS 論理回路を対象として雑音パラメータを求めるための手段として、電源波形をチップ上で記録・観測するための測定回路について研究した結果を述べている。電源は高速の過渡現象である電源雑音を記録するためのレベルシフター、サンプラー、マルチプレクサー、アナログ記憶、タイミング生成回路等から構成されており、高速過渡現象を時間変換した低速過渡現象としてチップ外に出力する機能を有しており、チップ試作実験を通してその実現性と有効性を示している。また回路固有の固定パターンノイズ等について検討を加え、その解決手法についても述べている。

第五章は「On-chip Minimum/Maximum Fluctuations Detection (オンチップ最小/最大電圧変動検出)」と題し、CMOS 論理回路が誤動作なく動作することを保証することを目的として電源電圧変動が許容範囲内であることを常時監視するためのモニター回路方式について検討した結果を述べている。チップ上にマトリクス状に並べられた最大値/最小値検出回路とその値が規定の範囲を逸脱した際に発生する警告信号を伝達する回路、および関連のタイマー回路等から構成されており、回路シミュレーションにより提案回路が機能することを示している。

第六章は「Conclusion（結論）」であり本論文の研究成果をまとめている。

以上、本論文は低消費電力向けに提案されている各種の CMOS 論理回路方式を対象として、ノイズ耐性の観点から数値的および解析的モデルにより評価する手法を研究し、ノイズ耐性に優れた新たな回路方式を考案するとともに、実際の微細 CMOS 回路でのノイズ特性パラメータ観測と雑音許容変動範囲観測のための新しいオンチップモニタ回路を試作・研究したもので電子工学の発展に寄与する点が少なくない。

よって本論文は博士（工学）の学位請求論文として合格したものと認められる。