

審査の結果の要旨

論文提出者氏名 飯塚 哲也

本論文は「Optimal Layout Synthesis of Standard Cells in Large Scale Integration(大規模集積回路におけるスタンダードセルレイアウトの最適自動合成手法)」と題し、論理集積回路で用いられる標準セル回路の面積、遅延、歩留まり等をコスト関数として最適レイアウトを自動合成する手法について研究したもので、英文で記述され七章より構成されている。

第一章は Introduction (序論) であり研究の背景と研究の目的、および論文の構成を述べている。

第二章は「Exact Minimum-Width Cell Layout Synthesis for Dual CMOS Cells(双対型 CMOS セルの厳密最小幅セルレイアウト合成)」と題し、p型トランジスタ回路部とn型トランジスタ回路部が双対性を有する CMOS 回路を対象として、一定のセル高さ制約の下で最小幅のレイアウトを合成する手法を提案している。トランジスタの配置、ソース・ドレインの向きおよび配線をブール代数の充足判定問題 (SAT) として定式化する手法を提案し、厳密に最小幅を有するセルレイアウトを合成できることを示すとともに、2値の整数線形計画法による方法と比較し、その優位性を示している。またコンパクションを併用する経験的アルゴリズムの商用ツールとも比較して、コンパクション前であっても 3%程度の面積増で合成できることを示している。

第三章は「Hierarchical Extension for Large Cell Layout Synthesis(大規模セルレイアウト合成のための階層的拡張)」と題し、第二章で述べている厳密解法をより大きなセル回路へ応用するための階層化設計手法について述べている。トランジスタ回路のブロック分割手法、ブロック内配置、ブロック配置、およびセル内配線法を定式化し、階層化により僅かの幅増加の場合があるものの、大幅な計算時間の短縮と大きなセルへの適用が可能であることを実験的に示している。

第四章は「Exact Minimum-Width Transistor Placement for General CMOS Cells(一般の CMOS セルの厳密最小幅トランジスタ配置)」と題し、双対性の制約を外した CMOS セル回路を対象として、一定の高さ制約の下で最小幅のセル合成のためのトランジスタ配置を自動生成する手法を提案している。配置様式については複数行を持つ配置に拡張する手法を示し、大きな回路に対する階層化設計手法についても示し、ベンチマーク回路を用いてその有効性を示している。

第五章は「Yield-Optimal Cell Layout Synthesis for CMOS Logic Cells(CMOS 論理セルのための歩留まり最適化セルレイアウト合成)」と題し、与えられた論理を実現する最小幅セルレイアウトの中で配線のパーティクル欠陥歩留まりを決定するクリティカル面積が最小のセルレイアウトを合成する手法を提案している。第二章で提案した厳密最小幅合成手法を拡張し、網羅的にセルレイアウトを生成する手法と、クリティカル面積計算アルゴリズムを併用する方法である。ベンチマーク回路を用いて最小配線長レイアウトに比較して本手法で合成したレイアウトが 15%程度クリティカル面積が実効的に小さくなることを示している。

第六章は「Yield Optimization by Timing-Aware Cell Layout De-Compaction(タイミングに配慮したレイアウト伸張による歩留まり最適化)」と題し、与えられた遅延制約のもとで、セルレイアウトの幅を最適に伸張することにより、パーティクル欠陥歩留まりを決定するクリティカル面積を最小化する線形計画法にもとづく手法を提案している。また同様の伸張方法を用いて、マスク製作時の光学近接補正によるショット数増加の抑制、冗長コンタクト挿入によるコンタクト欠陥救済、規則性向上によるパ

ラメタバラツキ抑制のためにも応用できることを示し、ベンチマーク回路を用いてその有効性を示している。

第七章は「結論」であり本論文の研究成果をまとめている。

以上、本論文は大規模集積回路で用いられる標準セル回路のレイアウトの最適自動合成手法を提案し、面積最小セル合成、歩留まり最適化セル合成およびマスクショット数最適化セル合成等に適用することでその有効性を示したもので電子工学の発展に寄与する点が少なくない。

よって本論文は博士（工学）の学位請求論文として合格したものと認められる。