

審査結果の要旨

氏名 大藤 徹

本論文は、「Variable-Body-Factor Fully-Depleted SOI MOSFETs for High-Speed, Low-Power VLSIs」(和訳：基板バイアス係数可変完全空乏型 SOI MOSFET)と題し、英文で書かれている。本論文は、基板バイアス可変 MOSFET という新しいデバイス概念を提唱しその有用性と可能性を論じたもので、全 6 章より構成される。

第 1 章は「Introduction」(序論)であり、MOS トランジスタの微細化の状況と課題をまとめるとともに、低消費電力化および特性ばらつき抑制に欠かせない基板バイアス制御の必要性を述べており、本論文の背景と目的を明確にしている。

第 2 章は、「Design Considerations for Low-Power Devices」(低消費電力デバイス設計の検討)と題し、低消費電力デバイス設計の課題をまとめている。トランジスタの高速化させるとしきい値電圧が低下し、サブスレッショルド電流により消費電力が大幅に増加する。この問題を解決するためには、基板バイアスによるしきい値電圧制御が必要であることを述べている。

第 3 章は、「Characteristics of Body Factor」(基板バイアス係数の特性)と題し、基板バイアス係数を決定する要因と基板バイアス係数と他の電気的特性との関係を論じている。特に、基板バイアス係数が大きいとトランジスタのドレイン電流が劣化することを示し、しきい値電圧制御と駆動力との間にトレードオフが存在することを論じており、次章以降の新デバイス概念提案の技術的背景を明確に記述している。

第 4 章は、「Proposal of Variable Body Factor Scheme」(基板バイアス係数可変スキームの提案)と題し、従来固定値であった基板バイアス係数を可変にする新しいデバイス概念を提案している。この新デバイスでは、SOI 基板の空乏化を利用して高速動作が必要な動作時には基板バイアス係数を小さくし、消費電力を抑制するときには基板バイアスを大きくする。シミュレーションにより、本デバイスが長チャネル領域において基板の空乏により駆動力が向上すること、および短チャネル領域において寄生容量の低減により回路の高速動作を達成可能であることを明らかにしている。

第 5 章は、「Measurements of Variable Body Factor Fully-Depleted SOI MOSFETs」(基板バイアス係数可変完全空乏型 SOI MOSFET の実測評価)と題し、前章で提案した基板バイアス係数可変完全空乏型 SOI MOSFET を実際に試作し評価した結果について述べている。単体デバイスにおいて、基板の空乏・反転により基板バイアス係数が変調されること、およびドレイン電流が基板の空乏により増大することを示した。また、短チャネルデバイスで構成されるリングオシレータにおいて、基板の空乏により回路動作が高速化されることを実測により示し、本デバイスの有効性を実証している。

第 6 章は「Conclusions」(結論)であり、本論文の結論を述べている。

以上のように本論文は、低消費電力化および特性ばらつき補償に有効な基板バイアス係数可変 MOSFET という新しいデバイス概念を提案し、その有用性をシミュレーションと実測を通じて実証したものであって、電子工学上寄与するところが少なくない。

よって本論文は博士(工学)の学位請求論文として合格と認められる。