

## 論文内容の要旨

### 論文題目

# Parallel-Processing VLSI Architecture for Intelligent Image Processing (高度画像処理のための並列処理 VLSI アーキテクチャ)

氏名 伊藤 潔人

近年、マルチメディア技術や情報通信技術の発展に伴い、実時間での画像処理への需要が非常に高まっている。しかし、画像認識システムやロボットの自動制御、セキュリティ監視カメラなどの分野では高度な処理アルゴリズムが導入されるため、個々の画素における画像処理タスクの負荷は非常に高い。そのため、ソフトウェア処理では最新の汎用プロセッサを利用した場合でも実時間で結果を得ることは非常に困難である。本研究では、そうした高度な画像処理アルゴリズムを実時間で実行するための、高速かつ低消費電力な並列画像処理 VLSI を開発することを目的とする。

一般的な画像処理システムは、イメージセンサ、フレームバッファメモリ、画像処理プロセッサから構成される。そうしたシステムにおける最大のボトルネックは、各々のチップ間でのデータ転送である。この問題を解決する有力な手法として、個々のチップの機能を一つの VLSI 上に融合させる方法がある。その中で、演算回路をフレームバッファメモリと融合させた *logic-in-memory* 構造と、撮像素子それぞれに回路素子を組み込み、二次元超並列演算を可能としたスマートイメージセンサ構造は広く研究されている。*logic-in-memory* 構造では、メモリ読み出し回路の直近に演算回路を置くことで、メモリ本来が持つ並列性を最大限に活用したシステムを実現する。しかし、一般的な画像処理では 2 次元の画素配列に対し「演算方向」という軸を

加えた 3 次元構造が必要であるのに対し、VLSI では本質的に二次元方向にしか回路素子を配列できない。そのため、フィルタ演算など複数の画素領域に渡った演算を実現しようとした場合、非常に回路構造が複雑になり処理時間の増加を伴う。つまり、演算回路の構造がシステムのボトルネックを決定する。一方、スマートイメージセンサは撮像素子と演算回路を 1 画素内に集積し、撮像平面での超並列演算を実現する。しかし、個々の画素回路の面積とチップに集積できる画像解像度はトレードオフの関係にある。従って、より小面積で高機能な演算回路の実現が要求される。アナログ回路を用いた場合、コンパクトで低消費電力な構成を実現できるメリットはあるが、一度回路を作り込んでしまうと容易に機能を変更できないという欠点がある。一方、デジタル回路構成は高い汎用性と柔軟性を実現できる反面、一般的に回路が大規模となってしまう。従って、スマートイメージセンサの回路設計においてアナログ回路構造とデジタル回路構造の境界を何処に設けるか、その選択が非常に重要である。本研究では、**logic-in-memory** 構造、スマートイメージセンサ構造について、それぞれの回路構造のボトルネックを解決し、高度画像処理に適した新たな回路技術の提案を行う。

特に、本研究では画像のフィルタリング処理について重点をおく。フィルタリング演算は、様々な画像情報処理において最も基本的な処理であり重要な役割を担っている。空間的なフィルタリング演算はノイズ除去や特徴抽出など、初期画像処理では必要不可欠な機能である。また、時間軸方向のフィルタリング演算は、各フレームにおける画素値の相関演算に相当し、動画像関連のアルゴリズムにおいて非常に重要な演算である。しかし、画像フィルタリング演算は、一つ一つの演算は数学的には単純だが、その演算を画像内の全ての画素に対して行わなければならないため、非常に演算コストが高い。そこで、本研究では並列 VLSI 技術を用いて、この画像フィルタリング演算を高速に行うアーキテクチャを開発した。

まず、**logic-in-memory** 構造を採用し、様々なカーネルによる線形畳み込み演算を 1 クロックサイクルで実行する画像フィルタ演算プロセッサの開発を行った。プロセッサ内部には 4 つの並列に動作する **Processing Element (PE)** が配置される。そして、画像データを  $4 \times 4$  ピクセルのブロックに分割して、隣り合うブロックが異なる PE によって処理されるようにメモリマッピングを行う **Quaternary Tile Mapping** 法を開発した。**Quaternary Tile Mapping** 法により、ピクセルデータを読み出す際に必要であった複雑なアドレス計算を単純なカーネルのシフト演算に置き換える。更に、読み出したデータをレジスタに蓄えることで冗長なメモリアクセスの問題も解決した。その結果、高速・低消費電力な画像フィルタリング処理を実現した。 $0.18\mu\text{m}$  5 層メタル CMOS プロセスにてプロトタイププロセッサを設計し、電源電圧 1.8V・クロック周波数 50MHz

において、消費電力 180mW で動作することを確認した。試作プロセッサを用いて典型的な 4 種類のカーネルについての画像フィルタ演算の結果を示し、2.2GHz で動作する汎用プロセッサと比較して約 1/20 の消費電力で同速度の画像フィルタ処理を実現できることを示した。

次に、スマートイメージセンサ構造を採用し、撮像画像に対しチップ上でフィルタリング処理を実現する、ブロック並列読み出し可能な Digital Pixel Sensor (DPS) の開発を行った。Digital Pixel Sensor とは、画素それぞれに A/D 変換器を内蔵することで、全画素同時に A/D 変換を行うイメージセンサである。しかし、従来の DPS は画素データを一行毎に読み出す形式を採用していた。そのため、画像処理プロセッサを直接接続するためには、結局フレームバッファが必要であった。そこで、本研究では I/O ラインを効率的に利用することで、任意の矩形領域をビットシリアル方式で読み出すことが可能な新たな DPS 回路構造を開発した。これにより、画素アレイ内のいかなる領域に対しても 5×5 ピクセル以下のカーネルによる画像フィルタリング演算を実現できる。また、画像処理プロセッサの一例として、複数のデータから任意の順位 (Rank) にあるデータを選び出す Rank-Order Filter を高速に実行するプロセッサを開発し、提案する DPS コアと直接接続した画像処理プロセッサの開発を行った。0.35 $\mu$ m CMOS プロセスを用いて 64×48 ピクセルの画素を集積したテストチップを試作し、回路の基本コンセプトを測定によって実証した。

Digital Pixel Sensor において A/D 変換を行う際、各画素の輝度情報は一度パルス信号、つまり時間領域に変換される。そこで、この A/D 変換の処理中に時間領域演算論理を加えることで、コンパクトかつ処理の柔軟性が高いスマートイメージセンサを実現できる。これを利用し、動き認識処理への応用を目的とした画素毎の空間微分・時間微分を高速で求めるアーキテクチャを開発した。画素の光強度を時間領域の信号に変換し、排他的論理和を応用したコンパクトな回路で画素毎のそれぞれの微分値を演算する。時間領域信号は、バイナリカウンタを用いてチップ内でデジタル値に変換される。従って、より高位な処理を必要とする場合は汎用デジタルプロセッサシステムに直接接続することが可能である。また、画素値のサンプリング回路を 1 つのフォトダイオードに対し 4 つ並列に接続することにより、あるサンプリング回路が露光している間に、他の回路を用いて並行して演算処理を行い、高速な演算を実現した。0.35 $\mu$ m CMOS プロセスを用いて 31×31 ピクセルの画素アレイを集積したテストチップを作成し、電源電圧 3.3V 下で約 400 フレーム/秒を越える高速な画素微分の演算を実証した。

時間領域信号は、1 ビットのデジタル論理回路を用いて様々な演算が可能である。またプロセス技術の進歩により、1 画素毎にバイナリカウンタを実装することも非現実的ではない。そこで、

1画素内にフォトダイオード、アナログ-時間領域変換回路、8ビットバイナリカウンタを集積し、任意の時間領域・空間領域の線形畳み込み演算を画素超並列で実行する多機能ビジョンチップを開発した。素子間の信号通信は1本の配線を通して時間領域信号によって行われるため、コンパクトな配線構造が実現可能である。0.18 $\mu\text{m}$  CMOS プロセスを使用して、31 $\times$ 31ピクセルの画素を集積したテストチップを作成し、電源電圧 1.0V において、1秒間に 78000 回を越える畳み込み演算ができることを実証した。

本論文では、logic-in-memory 構造およびスマートイメージセンサ構造を用いて、空間的・時間的な画像フィルタリング演算を高速に行う新たな回路構造を開発した。今後、開発した VLSI は、実時間での画像認識回路や、動き認識回路などの高度画像処理に、広く応用が期待される。logic-in-memory 構造を用いた画像フィルタ演算プロセッサは、メモリ上に蓄えられた一つの画像から様々なコンボリューション演算を必要とする場合に有用であり、高度画像認識に必要な特徴抽出演算などを高速に実行できる。また、スマートイメージセンサ構造をもつ VLSI は、画素平面で逐次演算が可能のため動きを伴うアルゴリズムに最適な構造を持つ。このように開発した VLSI を通して、実時間での画像認識や、動き認識などの高度画像処理アルゴリズムへ応用できる VLSI アーキテクチャについての方向性を示した。