

論文審査の結果の要旨

氏名 伊藤 潔人

本論文は、Parallel-Processing VLSI Architecture for Intelligent Image Processing（和訳：高度画像処理のための並列処理 VLSI アーキテクチャ）と題し、大量の画像情報を効率よく演算処理するための並列処理 VLSI アーキテクチャと、それを実現するための回路技術に関する研究成果を纏めたもので、全文 6 章よりなり、英文で書かれている。

第 1 章は、序論であり、本研究の背景について議論するとともに、本論文の構成について述べている。

第 2 章は、様々なカーネルサイズのコンボリューション演算が、単一クロックで演算・実行可能な Flash-Convolution 方式イメージフィルタプロセッサについて述べている。この方式では、取得した画像情報を Quaternary Tile Mapping と呼ぶ新たな配列方式に従ってキャッシュメモリ内に格納することにより、たった一度のメモリアクセスで必要なデータが全て演算回路に転送でき、これにより所定の領域内におけるピクセル毎の Convolution 演算が全て実行可能となった。無駄なメモリアクセスを排除することで、効率の良いフィルタ演算を可能にした。0.18 μm CMOS プロセスでチップを設計・試作し、2.2GHz で動作する汎用プロセッサと比較して、約 1 / 20 の消費電力で同等以上の速度でフィルタ演算の実現できることを実証した。

第 3 章では、Digital Pixel Sensor 方式に基づき、コンボリューション演算を効率よく実行するための新たなアーキテクチャについて述べている。Digital Pixel Sensor 方式では、チップ上に二次元配置されたフォトダイオードから得られる画素情報を、各画素位置ですべてデジタル値に変換し、デジタルメモリにその値を保持する。このデジタルデータの読み出しにおいて、コンボリューション演算に適合するブロック読み出し方式を新たに提案した。その有用性を実証するために、ランクオーダーフィルタを実装したテストチップを 0.35 μm CMOS プロセスで設計・試作し、実測によって基本コンセプトを実証した。

第 4 章では、Digital Pixel Sensor 方式の考え方に、時間領域演算を融合するという独自のアイデアを進展させ、これにより新たな画像処理プロセッサアーキテクチャを開発した研究について述べている。この方式では、画素の光強度を時間領域信号、即ちパルス幅に変換し、排他的論理和回路を用いて差分演算をおこなう。二次元に配置した演算ユニットにより、画素値の空間微分、時間微分を求め、これらの結果をデジタル値として得る回路方式を開発した。0.35 μm CMOS プロセスを用いて 31 \times 31 ピクセルの画素アレイを集積したテスト回路を設計・試作、400 フレーム / 秒という高速でオプティカル・フロー演算の実行できることを示した。

第 5 章では、前章の考えをさらに進展させ、一画素ごとにフォトダイオード、アナログ電圧・時間領域信号変換回路、バイナリカウンタを集積し、任意の時間領域・空間領域のコンボリューション演算を全画素並列実行可能な多機能画像処理プロセッサを実現した研究について述べている。信号はパルス幅表現であるため単一配線で各画素間の情報伝達が可能になり、非常に簡単な配線構造で並列演算を実現した。0.18 μm CMOS プロセスを用いてテストチップを試作し、その有効性を実証した。これは、CMOS スマートイメージセンサの新たな回路方式の提案として重要な成果である。

第 6 章は結論である。

以上要するに本論文は、大量の画像情報を効率よく演算処理するための並列処理 VLSI アーキテクチ

ャに関し、画素情報の読み出し方式、並びに画素並列演算方式のそれぞれについて独自の方式を提案するとともに、これらを実現するための新たな回路技術を開発し、実際に VLSI チップを設計・試作・評価することにより提案方式の有効性を実証したもので、情報学の基盤に寄与するところが少なくない。よって本論文は博士（科学）の学位請求論文として合格と認められる。