

論文審査の結果の要旨

氏名 ライ チー ホン イワン

本論文は「Design and Modeling of Millimeter-Wave CMOS for Wireless Transceivers (無線トランシーバ用ミリ波 CMOS の設計とモデリングに関する研究)」と題し、低消費電力ミリ波無線トランシーバの実現に向けた CMOS 集積回路における受動デバイスの最適化とモデリング、およびそれらを用いた基本回路についての研究を記したもので、全9章で構成される。

第1章は「Introduction」であり、ミリ波 CMOS に関連する研究の歴史と意義について紹介するとともに、研究に用いられる設計ツールや測定系について述べている。その上で、本研究の主たる対象であるミリ波 CMOS 回路の目指すべき性能や、位置づけを述べた後で、全体の章立てについての概観を行っている。

第2章は「CMOS On-Chip Inductor」と題し、ミリ波帯まで適用可能なオンチップインダクタのモデリングについて提案を行っている。従来提案されてきたオンチップインダクタモデルでは、自己共振周波数付近の周波数から上では、抵抗成分の誤差が大きくなることを示しながら提案する Unified Model の特徴とその効果について述べている。

第3章は「On-Chip Transmission Lines」と題し、CMOS で高い Q 値を示す新しい伝送線路の提案を行い、その有効性を実測結果とモデルを通じて述べられている。新しく提案された Slow-Wave Transmission Line (SWTL) では、信号線と基板の間にスリットのついたシールドを挿入することで、CMOS 基板上においても、ミリ波帯において 10 以上の Q 値を実現可能なことを示した。

第4章は「Asymmetric Coaxial Waveguide」と題し、スリットの入ったシールドを信号線の上下に配置した伝送線路を提案し、その有効性について実証実験を元に議論を行っている。ACW では、従来の伝送線路に比べておよそ 1/3 程度に小型化が可能であることが示された。

第5章は「On-Chip Balun」と題し、マーシャント型を用いたオンチップバランについて述べられている。伝送線路を環状に折り曲げるとともに、スリットつきシールドによる波長短縮も行うことにより素子の小型化を実現している。準ミリ波帯において、およそ 25dB の同相除去比が得られることを実測により確認した。

第6章は「20-26GHz Up-Conversion Mixer」と題し、第5章で述べたオンチップバランを用いた準ミリ波帯のアップコンバージョンミキサについて述べている。変換利得は最大で 2dB、消費電力はおよそ 10mW のアップコンバージョンミキサを実現した。

第7章は「60GHz Down-Conversion Mixer」と題し、第3章で述べたオンチップ伝送線路を用いたミリ波帯のダウンコンバージョンミキサについて述べている。変換利得は最大で -1.2dB、消費電力は 23mW のダウンコンバージョンミキサを実現した。

第8章は「50GHz Variable Gain Amplifier」と題し、第3章で述べたオンチップ伝送

線路を用いたミリ波帯の可変利得増幅器について述べている。ここでは、カスコード回路におけるゲート接地 MOSFET のゲートのバイアス電圧を、伝送線路を介して制御することにより利得を -10dB から $+4.8\text{dB}$ まで変化させることができることを示した。

第9章は「結論」であり、各章での成果をまとめるとともに、今後の当該分野の技術進歩の方向性について議論を行っている。

以上のように本論文は、低消費電力・超高速無線通信を実現する技術として、ミリ波用 CMOS 回路に用いられる受動素子構造の最適化やそれらの回路モデルを確立するとともに、CMOS 集積回路においてミリ波帯動作の周波数変換ミキサや可変利得増幅器を実現するなど情報学の基盤に貢献するところが大きい。

したがって、博士（科学）の学位を授与できると認める。