

審査の結果の要旨

氏 名 ルオン デイン フォン

本論文は、”Soft-Error Tolerant Cache Architectures”（耐ソフト・エラーのキャッシュ・アーキテクチャ）と題し、全体で6章から成る。本論文は、近未来のデジタルLSIにおいて大きな問題となるキャッシュのソフト・エラーについて、これを大幅に緩和する手法を提案し、設計・シミュレーションによる評価によってこれを検証したものである。近未来のLSIは、高い集積度と高いクロック周波数によって飛躍的な性能向上が期待されているが、電源電圧の低下、線幅の縮小によって、デバイスとしてのソフト・エラー耐性が低くなっており、これがLSI全体の信頼性を損なう要因となると予測されている。本論文は、以下に示す要素技術・システム技術によってこれを解決し、真に高い信頼性をもつキャッシュ・アーキテクチャを提案するものである。

第1章”Introduction”は、研究の背景・目的を述べるとともに、本論文の構成についてまとめている。

第2章”Existing Work on Soft-Error Tolerance in Memory Caches”は、プロセスレベル、回路レベル、アーキテクチャレベルのそれぞれについて、本論文に先行する技術を紹介し、これを検討することで、近未来のソフト・エラーに関する課題を明らかにしたものである。先行技術によって解決した点を要約した後、オーバヘッドの軽減、CAMのソフト・エラー対策、セルに欠陥がある場合のソフト・エラー対策に未だ大きな課題があることを示している。

第3章”Zigzag-HVP: Soft-Error Mitigation in Caches with Word-based Access”では、1語ごとにECCを設けるよりも費用対効果に優れたソフト・エラー緩和方式を提案評価した。本方式では、2次元にパリティを配し、データをジグザグに配置することで、信頼性の高いキャッシュが実現される。さらに、評価の結果、ECCを用いたものよりも面積・電力を大幅に削減できることが確認された。

第4章”STCAM: Soft-Error Tolerant Content-Addressable Memory”は、CAMで生じるソフト・エラーの悪影響を緩和する方式を提案・評価したものである。キャッシュでは、本当はヒットしているのに、タグ領域のソフト・エラーが原因でミスになる場合が起こる。これを防ぐために、本論文ではタグ領域をバンクに分割し、どちらかのバンクの値がタグに等しい場合は、他方のバンクの値をECCによって検証する、という手法を提案した。設計評価・シミュレーション評価によって、本方式は、キャッシュのレーテンシを増大させることなく、実行サイクル数をほとんど増加させることなく、信頼性を大幅に向上させられることが示された。

第5章”SEVA: Soft-Error- and Variation-Aware Cache Architecture”は、セルに欠陥があるなどの理由によって、ソフト・エラー耐性が低くなったキャッシュについて、耐性を落とさない技術を提案・評価している。ここで提案したSEVAという手法によって、歩留まりと信頼性が同時に向上することが示された。

第6章”Conclusion”は、結論と今後の課題について述べている。

以上これを要するに本論文は、近未来のデジタルLSIにおいて大きな問題となるキャッシュのソフト・エラーについて、3つの新規性に富む優れた方式提案を行い、綿密なシミュレーション評価と設計評価によってその有用性を検証しており、電子情報学の発展に寄与するところが小さくない。

よって本論文は博士（情報理工学）の学位請求論文として合格と認められる。