

論文の内容の要旨

論文題目 組込み用途向けプロセッサの性能向上に向けたアーキテクチャの研究

氏 名 荒 川 文 男

本論文は組込み用途向けプロセッサの性能向上に向けたアーキテクチャに関するものである。性能を追求し数万円から数十万円の価格帯を維持しているPC及びWS用のハイエンドマイクロプロセッサと、低コスト化を進め数十円から数百円の価格帯で様々な製品に搭載されているシングルチップマイコンの中間のギャップを埋める形で、90年代前半に数千円クラスの比較的高性能でマルチメディア処理に適した組込みプロセッサが登場した。本論文では、こうした組込みプロセッサの一つである SuperH RISC engine (SH) シリーズを研究対象に、継続的な性能向上を達成しながら、デジタル家電に組込むための低コスト化に向けた面積効率向上、携帯機器の軽量化と電池寿命向上に向けた電力効率向上、そして、機器の多様化に対応するための開発効率向上を実現するための技術について論じる。性能向上には多岐にわたる技術が関与するが、本論文では研究対象をアーキテクチャに絞って論じる。具体的には、SH シリーズ第3世代の SH-3 の後継機種として開発した SH-4、更にその後継機種として開発した SH-X 向けに研究開発した性能、面積効率、電力効率、及び開発効率の向上方式について論じる。

序論に続く第2章では、組込み用途向けスーパースカラ方式について論じる。組込みプロセッサにおいて特に性能を必要とするメディア処理は、大量のデータを扱うために処理の並列性が高い。このため、動作周波数向上よりも高並列化によるサイクル性能向上が効果的である。スーパースカラ化に際しては、組込み用途向けの効率を重視した方式選択を行った。具体的には、メ

モリアクセスネックを回避するためのハーバード方式と、効率向上が期待できる非対称スーパースカラ方式、そして、高並列化に伴って性能への影響を増すパイプラインの乱れを低減するためのインオーダー型早期分岐及びゼロサイクル転送方式を採用した。こうした効率重視の組込み用途向けスーパースカラ方式を採用した SH-4 は、サイクル性能 1.81 MIPS/MHz を達成し、SH-3 に対してプロセス非依存の方式性能 2.46 倍、相対面積効率 1.51 倍、相対電力効率 1.16 倍を達成した。そして、 $0.25\ \mu\text{m}$ プロセスでは動作周波数 200 MHz、性能 360 MIPS を達成した。また、 $0.18\ \mu\text{m}$ プロセス、133 MHz 動作時には 240 MIPS、240 mW、1000 MIPS/W を達成した。

第 3 章では、組込み用途向けスーパーパイプライン方式について論じる。SH-4 においてスーパースカラ化によって達成したサイクル性能と高効率性を維持するために、ここでも効率重視の方式選択を行った。一般に、スーパーパイプライン化すると各命令の実行レイテンシが伸びるため、パイプラインが乱れ易くなりサイクル性能が低下する。そこで、遅延実行及びストアバッファを活用して実行レイテンシを隠蔽した。更に、分岐時のパイプラインの乱れも増大するため、分岐予測及びアウトオブオーダー発行型早期分岐によって低減した。また、レイテンシ増によって困難になるプログラム最適化を容易にするために柔軟なフォワードリングを可能にした。この結果、SH-X は 7 段パイプライン化によるサイクル性能低下を克服し、従来の 5 段パイプライン方式の SH-4 と同じ 1.8 MIPS/MHz を達成した。アウトオブオーダー方式によってもサイクル性能低下を抑止して SH-X 方式以上の性能を達成することが可能である。しかし、SH-X の方式はアウトオブオーダー方式よりは柔軟性が低いものの効率が高く、小面積、低電力を維持しながらの高性能化を実現した。そして、SH-4 に対して、プロセス非依存の方式性能 1.4 倍、相対面積効率同等、相対電力効率 1.4 倍を達成した。この結果、 $0.13\ \mu\text{m}$ プロセスでは、動作周波数 400 MHz、性能 720 MIPS、電力効率 2880 MIPS/W を達成した。また、200 MHz 動作時の電力効率は 4500 MIPS/W に達した。

第 4 章では、メディア処理性能を効率的に向上させるための浮動小数点処理の組込み用途向け並列化について論じる。メディア処理には種々の対象メディアがある。本研究では、3D グラフィックス処理に対象を絞り、浮動小数点アーキテクチャの並列化を行った。従来一般的であった SIMD 方式に代えて、4 元ベクトル強化命令追加による高並列化を行うと共に、浮動小数点レジスタ拡張、浮動小数点ペアレジスタ転送命令の追加、及び除算及び平方根命令のアウトオブオーダー完了により性能向上を図った。また、倍精度演算をハードウェアエミュレーションによって効率的に実装した。この結果、基本的な 3 次元グラフィックスベンチマーク性能を、従来の SH-3E に対して、サイクル性能で 7.2 倍、プロセス非依存の方式性能では 10.8 倍に向上させ、 $0.25\ \mu\text{m}$ プロセスで 5M polygons/s を達成した。また、SIMD 方式の約 2 倍の面積効率を達成し、浮動小数点アーキテクチャの効率的並列化方式を確立した。面積増加は、FPU の約 35%、プロセッサコアの約 10%程度であり、廉価な家庭用ゲーム機用のチップでも採用できるレベル

である。

第 5 章では、浮動小数点処理の組込み用途向け高周波数化について論じる。浮動小数点ユニットを単純にスーパーパイプライン化すると、パイプライン段数増によって元々長い浮動小数点演算命令のレイテンシが更に増大する。そこで、レイテンシを削減するためにパイプライン構造を刷新し、新たに高速・小面積な正確な正規化制御生成方式を考案し適用した。また、実行サイクルが大幅に増加してしまう除算及び平方根命令を代用する浮動小数点関数命令を定義して実装した。この結果、3D グラフィックス性能評価では、サイクル性能 1.8 倍、プロセス非依存の方式性能 2.6 倍、相対面積同等、相対電力同等、相対面積効率 2.4 倍、相対電力効率 2.2 倍を達成した。そして、0.13 μm プロセス、400 MHz 動作時には 36M polygons/s を達成した。更に、SMID 方式と比較しても、スーパーパイプライン化による実行レイテンシ増を実効レイテンシの短いベクトル強化命令や関数命令で削減して、プログラムへの要求並列度を抑え、より少ないレジスタでのプログラミングが可能な方式とした。

第 6 章では、効率向上技術を論じる。まず、電力効率向上技術として、ポインタ制御パイプライン方式の実装及びクロックツリーの階層的非活性化を行った。ポインタ制御パイプラインによって、パイプライン FF の電力は転送系の命令では 1/3 に削減され、平均でも 25%削減された。また、クロックツリーの階層的非活性化によってクロック消費電力は約 2/3 に削減された。そして、メモリ活性化率低減と相俟って、Dhrystone 2.1 実行時の消費電力は約 30%削減された。開発効率向上技術としては、複数プロセッサコアの統合開発技術としてアーキテクチャ統合及び設計統合方式を確立した。そして、単一のマスターRTL から様々な製品への品種展開を容易に行えるようになり、独立設計の非効率性を排除し、集積する論理規模の増大に伴う設計及び検証コストの増大を抑え、開発の効率化を図ることができた。また、スーパースカラ及びスーパーパイプライン方式のプロセッサアーキテクチャに DSP アーキテクチャを統合するための遅延実行型 DSP パイプラインを開発した。そして、従来の SH3-DSP に比べてサイクル性能が 1.2~1.6 倍に向上し、動作周波数の向上分も加味すると性能は 1.7~2.2 倍に達した。

最後に第 7 章では、上記研究成果を結論に纏めると共に、本研究の結果を踏まえて組込みプロセッサの今後の展開について考察した。プロセス微細化だけで周波数、面積効率、電力効率が上がった時代が終わり、今後は益々アーキテクチャの研究が重要となる。その際、上流及び下流との連携を深め、境界領域の研究を進めて、設計境界条件の変化に的確に対応していくことが肝要である。