

審査の結果の要旨

論文提出者氏名 荒川 文男

本論文は「組み込み用途向けプロセッサの性能向上に向けたアーキテクチャの研究」と題し、プロセッサの性能向上と同時に、デジタル家電に組み込むための低コスト化に向けた面積効率向上、携帯機器の軽量化と電池寿命向上に向けた電力効率向上、そして、機器の多様化に対応するための開発効率向上を実現するためのアーキテクチャを提案している。特に、組み込み用途向けのスーパースカラ及びスーパーパイプライン方式、浮動小数点処理の組み込み用途向け並列化及び高周波数化、並びに、低電力化及び開発効率向上技術を提示するもので、全7章で構成される。

第1章は「序論」であり、プロセッサの歴史を概観し、PC/サーバ向け高性能化と制御向け低コスト化の二極化によって発生したギャップを埋める形で登場した組み込み用途向けプロセッサの技術課題を明らかにし、本研究の背景及び目的を明確にしている。

第2章は「組み込み用途向けスーパースカラ方式」と題し、非対称スーパースカラ方式やインオーダー型早期分岐といった組み込み用途向けの効率重視の方式選択を提案している。そして、プロセス非依存の効果、及び実チップの性能、面積、及び電力の評価結果が示されている。

第3章は「組み込み用途向けスーパーパイプライン方式」と題し、遅延実行及びストアバッファによるレイテンシ隠蔽や、パイプラインの乱れを低減する分岐予測及びアウトオブオーダー発行型早期分岐を提案し、その効果と実チップの評価結果が示されている。

第4章は「浮動小数点処理の組み込み用途向け並列化」と題し、独自の4元ベクトル強化命令追加を中心とする高並列化を提案し、一般的なSIMD方式の約2倍の面積効率を達成している。そして、基本的な3次元グラフィックスベンチマークによる性能評価結果が示されている。

第5章は「浮動小数点処理の組み込み用途向け高周波数化」と題し、スーパーパイプライン化によって増大するレイテンシを削減するために、パイプライン構造の刷新、高速・小面積で正確な正規化制御生成方式の考案と適用、平方根逆数及び正弦余弦関数命令の実装を提案している。そして、実チップの性能評価によって、これらの新方式の有効性が示されている。

第6章は「電力効率及び開発効率向上技術」と題し、ポインタ制御パイプライン方式及びクロックツリーの階層的非活性化による電力効率向上と、アーキテクチャ統合及び設計統合による複数プロセッサコアの統合開発技術方式を提案し評価している。

第7章は「結論」であり、本論文の成果を要約し結論を述べると共に、本研究の結果を踏まえて、組み込みプロセッサの今後の展開について考察している。

以上のように本論文は、組み込み用途向けプロセッサの面積効率、電力効率、開発効率および性能の向上をバランスよく達成しうる方式を提案すると共に、実際の製品チップにその方式を適用することにより、その有効性を設計・開発・評価を通じて実証したものであって、電子工学上寄与するところが少なくない。

よって本論文は博士(工学)の学位請求論文として合格と認められる。