

審査の結果の要旨

論文提出者氏名 松本 剛史

本論文は、**Efficient Formal Equivalence Checking Methods for System-Level Design Descriptions** (システムレベル設計記述に対する効率的な形式的等価性検証手法に関する研究) と題し、C言語ベース設計に基づく、システムレベル設計における2つ設計記述間の形式的な等価性検証手法の提案を行うとともに、実験結果によりその有効性を示しており、8章から構成される。なお、開発された技術は、等価性検証ツールとしてまとめられ、産業界においても実設計による評価が始まろうとしているなど、実用性の面からも注目されている。

第1章は、**Introduction** (序章) であり、研究の背景と目的を述べている。特に、システムレベル設計とC言語ベース設計の現状についてもまとめている。

第2章は、**Fundamental Techniques and Related Works** (基盤技術と関連研究) であり、従来から研究・開発されてきている、電子機器設計のためのC言語をベースとしたシステムレベル設計手法、特にその中で重要な位置を占める形式的等価性検証手法の現状を説明している。また、システムレベルの形式的等価性検証を行う上での基盤技術である記号シミュレーションとそれを効率よく実現するための関連技術を整理している。さらに、システムレベル設計段階で行われる各種設計最適化技術と等価性検証の関係を説明している。

第3章は、**Sequentialization Method of Parallel Behaviors** (並列動作の順序化) であり、設計対象の並列動作を検証するために、並列動作から等価な動作をする順序動作への自動変換手法について、議論している。以前提案された、整数線形計画法を用いた並列動作間の実行順序を解析する技術をベースとし、並列動作プロセス間の個々の動作の実行順序関係を解析することで、与えられた並列動作を等価な順序動作に自動変換する手法を提案し、評価している。並列動作間のスケジューリングによって実行結果が変化する場合、設計の動作が一意に決定しないことになるため、設計エラーであると判定する。そうでない場合には、並列動作と同じ実行結果が得られる順序動作が生成される。実験の結果、扱える規模も実用レベルであることが示されている。この技術により、等価性検証は、順序動作同士の間でのみ行えばよいことになり、検証効率が大きく向上する。

第4章は、**Efficient EqvClasses Generation During Symbolic Simulation Utilizing Differences between Designs** (記号シミュレーションによる等価性クラス生成における設計間の差異を利用した効率化) であり、記号シミュレーションによる形式的等価性検証手法の効率化手法を提案・実装し、評価している。等価性検証は、記号シミュレーションを設計記述の最初から最後まで順次適用することで実現できるが、このようにすると設計記述が大規模な場合には記号シミュレーション処理が終了しなくなる。そこで、比較する2つの設計記述間で異なる部分が少ない場合には、その差異を予め抽出しておき、記号シミュレーションは記述の先頭から行うが、実際に等価かどうかの判定を行うのは記述の差異

の部分だけにすることで、検証時間を大幅に短縮することができる。このことを利用した等価性判定手法の有効性が実験によって確認されている。

第5章は、**Efficient Equivalence Checking by Applying Symbolic Simulation Locally to the Difference between Designs**（記号シミュレーションの設計の差異部分へ適用による等価性検証の効率化）であり、4章の手法をさらに発展させ、記述間の差異部分のみを記号シミュレーションで解析することで、等価性を形式的に検証する手法を提案している。本手法により、比較している設計記述間の差異が比較的小さい場合には、設計規模によらず、形式的な等価性検証が可能であることが示されている。実際の設計現場における等価性検証では、設計を一部修正したものの等価性検証がほとんどであることから、実用的価値が極めて高い技術であると言える。

第6章は、**Equivalence Checking for Loop Optimization without Unrolling**（ループの展開をしない等価性検証）であり、等価性検証を行う際、従来技術ではいつも展開していたループ処理に対し、展開せずにそのまま等価性を検証する手法を提案・実装し、評価によってその有効性を実証している。記号シミュレーションは基本的に設計記述を1つずつ評価していくため、ループ処理については、ループを抜けるまでシミュレーションを行う必要があるが、一般にループの終了条件は不定になるケースも多いため、従来はループはすべて展開して等価性検証を行っていた。しかし、ループを回る回数が多い場合に完全に展開してしまうと、展開結果が膨大となり処理不能になってしまう。そこで、一定の条件を満たすループ処理については、提案している新規手法を利用することで、展開せずに等価性が形式的に検証できることを示している。例題への適用から、多くの場合に提案手法が適用できることが示されており、価値の高い検証手法となっている。

第7章は、**Tool Implementation and Case Study**（ツール実装と例題による評価）と題し、提案している各手法の評価に加え、C言語ベース設計に対する形式的等価性検証ツールとしての評価を行っている。MPEGエンコーダなどの実際的な例題を用いた評価であり、ツールとしての実用性を示している。結果として、この等価性検証ツールは産業界からも注目されており、産業界において実設計での評価を行う段階になっている。

第8章は、**Conclusion and Future Work**（結論と今後の課題）と題し、本論文の研究成果をまとめるとともに、今後の発展方向について議論している。

以上、本論文はC言語ベースの電子機器に対するシステムレベル設計において、従来ほとんど研究されてこなかった形式的等価性検証手法に関し、実設計記述の特性に着目した新規検証手法を考案・実装し、大規模設計にも適用可能であることを実際的な例題で実証し産業界からも注目されており、電子工学発展に寄与する点は大きい。

よって本論文は博士（工学）の学位請求論文として合格したものを認められる。