

論文の内容の要旨

論文題目 固体撮像素子の高精細化に関する研究

氏名 尾崎 俊文

ビデオカメラ用固体撮像素子を標準TV用からHDTV、UDTV-0用とする事を目指し、雑音、消費電力、高密度化についての研究を行った。

入力を転送MOSFETのソースに出力をゲートに接続した反転増幅器を付加した加速転送回路において、従来の熱雑音を雑音源とするバケットブリゲード転送の雑音モデルに反し、反転増幅器のドライバMOSFETのチャンネル長を長くすると雑音電荷が小さくなることを見出された。この現象を含め、種々のデバイスパラメータの影響を、 $1/f$ 雑音を雑音源とした時間領域雑音モデルにより説明できた。さらに本モデルに基く低雑音化手法の適用により、雑音はバケットブリゲード転送の理論的下限の約 $1/1.6$ となった。これは、雑音の緩和効果が強く起きるため生じる。水平走査電荷転送方式の増幅器雑音低減効果とあわせ全雑音は標準用TV素子で従来のMOS型素子の $1/2.5$ にあたる690電子とできた。

ついで、各列毎に増幅器と相関2重サンプリング(CDS)回路を設けた列並列差動列増幅方式MOS型素子を提案検討した。 $1/f$ 雑音を考慮した相関関数を用いたサンプリング系の雑音モデルにより、CDS回路を適用したCCD型素子出力回路の雑音特性をよく説明でき、CDS回路により除去されると考えられていた $1/$

f 雑音が CDS 回路通過後も熱雑音と同等の寄与をする事を明らかにした。さらに、列並列差動列増幅では、主雑音源の列アンプ雑音通過帯域を標準方式では従来の $1/6$ にできるが、雑音低減にはドライバに $1/f$ 雑音の小さな p チャネル MOSFET の適用が必要となる事を示した。雑音電荷は CDS 回路によるリセット雑音除去効果と合わせ標準用 TV 素子で従来の MOS 型の約 $1/16$ に当る 106 電子となる。このような低雑音特性と低消費電力特性のため、列並列差動方式は携帯電話用等の CMOS 画素増幅型撮像素子の基本的読み出し方式となっている。

さらに、n チャネル MOSFET の $1/f$ 雑音電力密度が n^+ 拡散層形成のための砒素打ち込み時にフッ素イオンを打ち込むと 1 桁以上低減することを見出した。接合逆バイアス電流、しきい値電圧のフッ素打ち込み量依存性との相関から、この効果は、フッ素がポリシリコンを介してゲート酸化膜に打ち込まれ、界面に近い酸化膜中の電子トラップが減少するため生じると考えられる。CCD 型素子出力回路へフッ素打ち込みを適用すると $1/f$ 雑音の寄与は殆どなくなり、熱雑音が主雑音源となる。HDTV 用素子では雑音を 43 電子から 37 電子とできる。

他方、実効チャネル長 $0.9 \sim 4.4 \mu\text{m}$ の MOSFET の雑音特性を測定した所、MOSFET のタイプによらず実効チャネル長が $2 \sim 3 \mu\text{m}$ 以下となると熱雑音係数が実効チャネル長の 2 乗に反比例して増加した。相互コンダクタンスのゲート電圧依存性が飽和することから、この増加は、S. K. Kim と A. Van Der Ziel 等の指摘した様に短チャネル化に伴う電界による移動度低下のため生じると考えられる。熱雑音係数の増加と相互コンダクタンスの向上が相殺されるため、電荷を検出する増幅器のチャネル長を小さくしても雑音電荷は減少しない。

消費電力に関しては、CCD 型撮像素子において第 2 p ウェルより深く濃度の低い n ウェルの濃度を増加すると、最小フリンジ電界が約 1 ケタ強大きくなり、電極下空乏層幅が無限大時の理論限界値に達する事を 2 次元電位数值解析により見出した。この現象は、ウェル内 p 型中性領域の濃度が低下し、ウェルが完全に空乏化するために生じる。また、ウェル空乏化時に、単位面積当たりの転送容量は変化せず、スミア電荷を低減できる。この従来にない特質により垂直 CCD 最大電荷転送能力を従来の 1.6 から 2.2 倍とし、かつ、垂直 CCD に漏れ込むスミア電荷を低減しつつ、1 インチ HDTV 用 37MHz 水平 CCD の駆動電圧を 6V とし、消費電力を従来の $1/7$ の 230mW とできる。

以上の自由電荷の転送特性についての解析結果に比し、n ウェルによりウェルを空乏化した電極間隙 100nm の重ね合わせ電極構造を持つ埋め込みチャネル C

CCDの非転送効率は数桁大きかった。この現象は電極間隙部の2次元電位解析電位ウェルモデルにより説明できた。従来の考え方に反し電位ウェルが発生したのはチャンネル層の濃度が高いと電位ウェルが深くなるためである。なお、本研究の報告後重ね合わせ電極構造における電位ウェル低減のため、斜めイオン打ち込み、不純物分布の最適化と層間酸化膜の薄膜化がなされた。

他方、ゲート電極とドレイン拡散層の間にゲート電極と重ね合せ部を有するバッファ電極を設けたテトロード構造では、間隙部で約3桁少ないキャリア注入により従来と同等の特性劣化が生じ、また、相互コンダクタンスを従来と等しくするにはバッファチャンネル電圧をゲート電極が飽和動作に必要な電圧より高くしなければならない。前者は層間絶縁膜膜質が悪いため、後者は間隙部電位の山のため生じる。しかし、バッファチャンネル電圧を印加可能な最大電圧とした時の相互コンダクタンスはアナログ動作に必要な低いゲート電圧では従来と同等となる。以上の結果、実効チャンネル長を従来の $2.4\ \mu\text{m}$ から $0.9\ \mu\text{m}$ 以下とし、HDTV用CCD型素子出力回路消費電力を2チャンネルで $58\ \text{mW}$ と従来の $1/3$ にできた。

インターライン転送CCD型撮像素子の画素密度向上のため、電界効果により信号を読み出すために必要とされていたフォトダイオードn層のポリシリコン電極エッジへの自己整合形成を廃し、第2pウェルとCCDチャンネルn層のイオン打ち込み前にフォトダイオードn層を拡散し両層の深さを従来の $1/2$ とし、フォトダイオードn層を基板内に完全に埋め込んだ画素構造を検討した。従来の知見ではこのような構造では信号読み出しは不可能であると考えられていたが、画素サイズ $7.3\ \mu\text{m} \times 7.6\ \mu\text{m}$ の試作素子では、残像は従来と同等の読出し電圧 $10\ \text{V}$ でほぼなくなった。これは、パンチスルー現象が生じたためと考えられる。高密度化に必要な諸特性については従来のモデル通りの改善を得られた。画素サイズ $5.0\ \mu\text{m} \times 5.2\ \mu\text{m}$ の $2/3$ インチ200万画素素子の特性を評価し、消費電力の小さなインターライン転送方式を用い、スミア抑圧比を $88\ \text{dB}$ と $1/44$ のスミア低減効果を持つフレームインターライン転送方式と同等とし、飽和信号電荷量を 1.1×10^5 電子と従来の2.8倍にすると共に、暗電流を7電子と従来の $1/3$ にできる事を示した。このような特質により、パンチスルー読み出し構造は、高密度CCD型撮像素子の基本構造として広く用いられている。

他方、ゲート酸化膜を薄くすると、ピンニング時にピンニング電圧の絶対値だけに依存する暗電流の発生が見られた。この現象は、ピンニング動作時に生じる界面最大電界がピンニング電圧を酸化膜厚で除した値により決定され、この電界によ

りブレイクダウンが生じるためである。ブレイクダウン電流を許容値以下とするにはチャンネル内電界を 0.6 MV/cm 以下とする必要があり、単位面積当たりの最大転送電荷量はパンチスルー読み出し構造の 1.5 倍が限界値となる。

以上を踏まえ、列並列差動列増幅方式多重電位井戸転送CCD型撮像素子を提案し、画素サイズ $3.7\ \mu\text{m} \times 3.8\ \mu\text{m}$ の $1/2$ インチUDTV用素子を検討した。多重電位井戸転送では、シフトレジスタを用い多相の転送パルスを垂直CCDに印加し、多電極からなるステージを設け、各ステージを2信号電荷と2スミア電荷を転送する4個の電位井戸で構成している。ステージにより、電荷は水平帰線期間だけ転送され、従来の分散転送の様な転送パルスと行選択パルスの映像信号への混入はない。空乏化ウェル構造と電位ウェル補正層により 37 MHz の電荷転送が、 W Si /ポリシリコン電極-アルミシャント構造とバッファ回路により 37 MHz の駆動パルス印加が可能である。従来の3相駆動では独立読み出しにより $2/3$ に低下する最大転送電荷量を14電極転送により 1.6×10^5 電子と実質的に無制限とし、飽和信号電荷量を 3.4×10^4 電子と従来の約 1.2 倍とできた。また、スミア抑圧比を、掃き出しにより 15 dB 向上し、単層金属電極による多重反射防止効果と合わせ、 92 dB と許容限度以上とできた。開口率は 40% となった。さらに、パンチスルー読み出し構造により暗電流はフォトダイオード面積に比例し減少し 60°C で2電子となる。

また、本素子では、列並列差動列増幅方式を適用した。データレートが $1/2$ のHDTV用CCD型素子に対し、列増幅器帯域を $1/50$ 以下とできるが、全雑音は18電子と $2/3$ 程度となるに留まる。全消費電力は 196 mW と $1/2.3$ と小さい。列増幅器と水平走査回路を合わせた消費電力は 79 mW と水平CCDの消費電力の $1/4$ となる。他方、電荷増幅により電流電圧利得を従来の $1/20$ とでき広帯域化にもかかわらず消費電流を標準TV用と同等にできるため、外部増幅器消費電力は 10.0 mW となる。

一方、パンチスルー構造を画素に用いた単層CCD-CMOSプロセスでは、従来困難とされていたチャンネル長 $2\ \mu\text{m}$ 以下の微細CMOSとCCD画素部と同一チップ上に集積化し、本素子を製造可能とできる事を見出した。これは、CCD電極の単層化によりLDD用高精度のサイドスペーサー形成が可能となり、パンチスルー読み出し構造により電極形成後の高温の拡散がなくCMOS部の各不純物層への熱負荷をベースとしたCMOSとほぼ同一とできるためである。本プロセスのフォト工程は 37 とCCD型素子に比べ約3割の増加に抑えられる。