

## 審査の結果の要旨

論文提出者氏名 中村 安見

本論文は「Optimization of Nanometer CMOS LSI's through Adaptive Control of Supply and Threshold Voltage」(和訳：電源電圧としきい値電圧制御によるナノメートル CMOS LSI の最適化)と題し、今後の集積回路に要求される特性を考察するとともに、細粒度で電源および基板バイアスを調整することで、面積や遅延などのオーバーヘッドをあまり増すことなく、より低消費電力やより安定な動作を実現する手法を提示するもので、全6章で構成されている。

第1章は「Introduction」(序論)であり、今後のより高い集積度を持つ集積システムに向けた低消費電力化技術の課題について述べるとともに、本研究の背景を述べ、目的を明確化している。

第2章は「Conventional low power techniques for system-on-chip (SoC) systems」(従来のシステム・オン・チップシステム用低消費電力化技術)と題し、従来の動的電源電圧制御や基板バイアスなどによる性能最適化技術の動作原理、課題等について考察し、関連研究について概説している。

第3章は「An on-chip noise canceller with high voltage supply lines」(高压電源線を用いたオンチップノイズキャンセラ)と題し、動的低消費電力化制御の弊害として発生する電源ノイズの要因と電源配線による影響を明らかにし、電源ノイズを発生させるスイッチングの際に電源電圧より高い電圧を供給する配線から一時的に電流を供給することにより電源ノイズを低減する手法を提案。90nmCMOS 論理回路に本手法を適用した場合にノイズの68%低減をチップ試作を通じて実証。更に安定動作を実現する条件についての設計論を確立し、提案手法の実装を容易なものとした。

第4章は「Power reduction by fine-grained global optimization of threshold voltages with back-biasing」(基板バイアスを用いたしきい値電圧の細粒度かつ大局的な最適化による消費電力の低減)と題し、論理回路に存在するシステムチックなばらつきを、面積や遅延などのオーバーヘッドをあまり増すことなく、製造後に補正する手法を提案。90nmCMOS において1Mゲート規模の論理回路に適用することで18%の消費電力低減を実証した。また、設計手法および最適化手法について検討し、テスト時間の大幅な増加なしに最適化を行う手法を提案した。

第5章は「MEMS power gating switch for reducing standby power」(MEMS パワーゲーティングスイッチを用いたスタンバイ電力の低減)と題し、パワーゲーティングのスイッチングトランジスタをMEMS スイッチに置換することでスタンバイ電力を低減する手法を提案、トランジスタに比べて800倍のオンオフ比を持つスイッチを駆動する回路設計技術を設計、試作を通して確立した。

第6章は「Conclusions」(結論)であり、本研究の成果を要約し結論を述べている。

以上のように本論文は、ナノメートル CMOS LSI において、電源の動的制御によって電源線のノイズを低減するノイズキャンセラ、基板バイアスの細粒度制御によって設計ばらつきを補正する最適化手法、及び電源をMEMS スイッチで制御してスタンバイ時の電力を低減する方式を提案するとともに、チップ試作、実測を通してその効果を実証したもので電子工学上寄与するところが少なくない。

よって本論文は博士(工学)の学位請求論文として合格と認められる。