

論文の内容の要旨

論文題目 Study on Novel Signal Pulse Processing Scheme for High Resolution PET System

(高分解能ポジトロンCTのための新しい信号処理方式に関する研究)

氏 名 島添 健次

1. 背景と概要

PET (Positron Emission Tomography)は低侵襲の核医学イメージング手法であり、最近ではガンやアルツハイマー病などの様々な病気の早期発見や診断に不可欠となっている。ただし空間分解能は現在の商用の人体用PETでは4-6mm程度であり、ガンの早期発見、詳細で正確な診断のため、より高い空間分解能、感度をもつPETの開発が望まれている。

高分解能PETシステムの実現には10万個以上のピクセル化された検出器素子およびこれらの膨大な数の検出器素子からタイミング、エネルギー情報を抽出する個別読出信号処理が必要となるが、従来のディスクリートを用いた回路では不可能であり高集積のASIC (Application Specific Integrated Circuit)の開発が必要となる。また従来の外部ADCや複雑なアナログ回路を用いた手法では消費電力の増大や低集積度、伝送ラインでの劣化などが問題となる。

本研究においてはこのような問題を解決するため、新規信号処理スキームを考案し、CMOS (Complementary Metal Oxide Semiconductor)技術を用いてアナログ・デジタル混載のASICの試作、開発研究をおこなった。具体的には1チップで波形をデジタル化する波形サンプリング型ASICの設計開発、PWMを応用した新規信号処理手法に基づくパルストレインASICの設計、開発を行った。

2. 波形サンプリング型ASICの開発と実験

従来の開発されてきたPET用の回路ではタイミングとエネルギー取得のためにそれぞれ複雑なCFD(Constant Fraction Discriminator)回路や外部ADCを使用しており高い消費電力や低い集積度、アナログ伝送による劣化に問題があった。ADCをチップに内蔵し、タイミング情報が取得可能なASICは未だ開発されておらず、本研究では1チャンネルに電荷感応プリアンプ、ゲイン調節のための可変増幅器、高速の100MHz / 6bitのADCを集積し、1チップでデジタル化を行うことが可能な波形サンプリング型ASICの設計と試作を行った。図1に開発したASICのブロック図を示す。

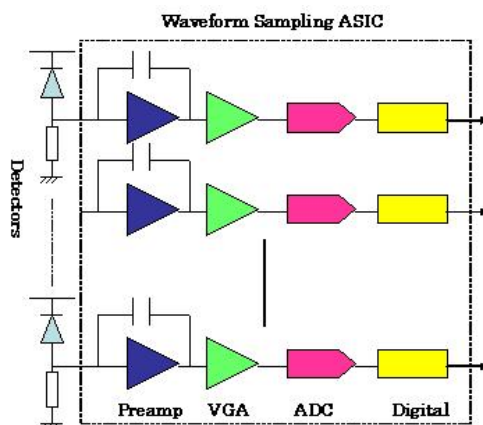


図1 波形サンプリング型ASICのブロック図

1チップでデジタル化することでフロントエンドを大幅に簡略化し、後段のFPGA (Field Programmable Gate Array)によりタイミング、エネルギー情報の抽出などの柔軟な信号処理が可能となると共に出力がデジタル信号のため伝送ラインでの劣化を防ぐことができる。またADCの後段のデジタル部分に2to1マルチプレクサを組み込むことで4.9mm角のチップに16チャンネルの集積をおこなった。チップのデザインは東京大学VDECを通して行いROHM社に発注を行った。またプロセスは0.35um ROHM CMOSプロセスを用いた。

試作した波形サンプリング型ASICチップ3個とFPGAチップ2個をもちいた48チャンネルの10cm*15cmPCBボードを製作し評価をおこなった。プリアンプの特性はノイズが900電子(シェーピングタイム0.5us)程度、立ち上がり時間は13ns, ゲイン1V/pCであり、PETとしては十分な性能が得られた。ADCの微分非線形性は0.66LSB、積分非線形性は1.4LSBであった。プリアンプからADCのチャンネルに対して異なる立ち上り時間の200fCのテスト信号を入力し応答を確認したところ、それぞれ異なる立ち上り時間に対する立ち上がりの違いが弁別可能であることが確認できた。実用においてはFPGAなどにより傾きを検出することで波形の弁別が可能となる。また16チャンネルに対して動作確認をおこない10チャンネルの正常動作が確認できた(図2)。

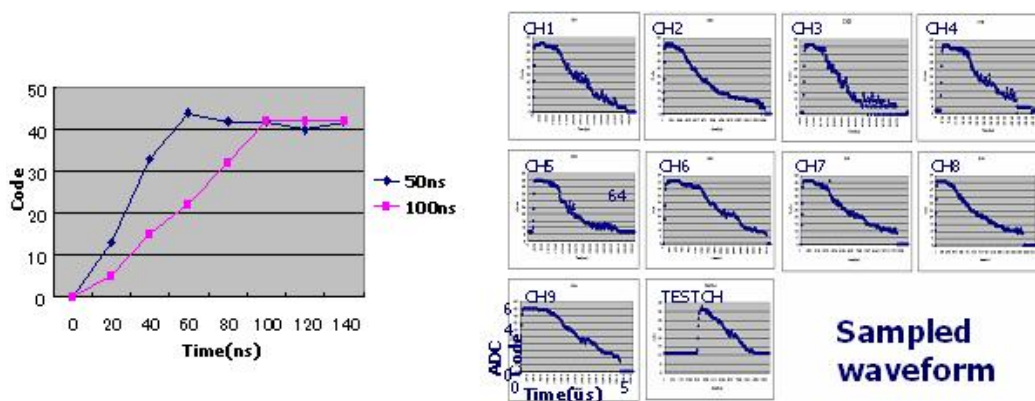


図2 異なるRisetimelに対する応答 と デジタル化された出力信号(10チャンネル)

また32chのAPD(S8550)と組み合わせたテストを行った。線源にはNa-22、シンチレータに3mmx3mmx6mmのGSOを用い、うまく読み出されていることを確認した。ADC、デジタル回路によるアナログ部分へのクロストークを評価するためにデジタルを非動作、動作状態でのプリアンプのスペクトルを計測したところ、22%,20%(FWHM)と大きな差は見られなかった、デジタル回路のアナログ部分への回りこみは小さいと考えられる。結果としてPET用のフロントエンド信号処理回路として十分な性能を持っていることが確認できた。

3. パルストレインASICの開発

従来の波高値を計測するASICではADCを含む複雑なアナログ回路や多数の伝送ラインが必要とされる問題があった。PWM方式を応用したパルストレイン手法を新たに考案し、この考えに基づいたASICの開発を行った。PWM方式のASICではプリアンプ、波形整形回路、コンパレータを用い、波高値をパルス幅に変換することで安価で伝送ラインの少ないシステムを実現可能である。また出力はデジタル信号であり伝送ラインでの劣化もすくない。このPWMを用い複数のパルス幅を用いて信号を表現するパルストレイン信号処理方法を独自に考案した。例えばエネルギーを表すTOT信号の後にチャンネルアドレスを表すパルストレインを付加することで単純なWIRED-ORにより各チャンネルを接続することで伝送ラインを大幅に減らすことが可能となる(図3)。

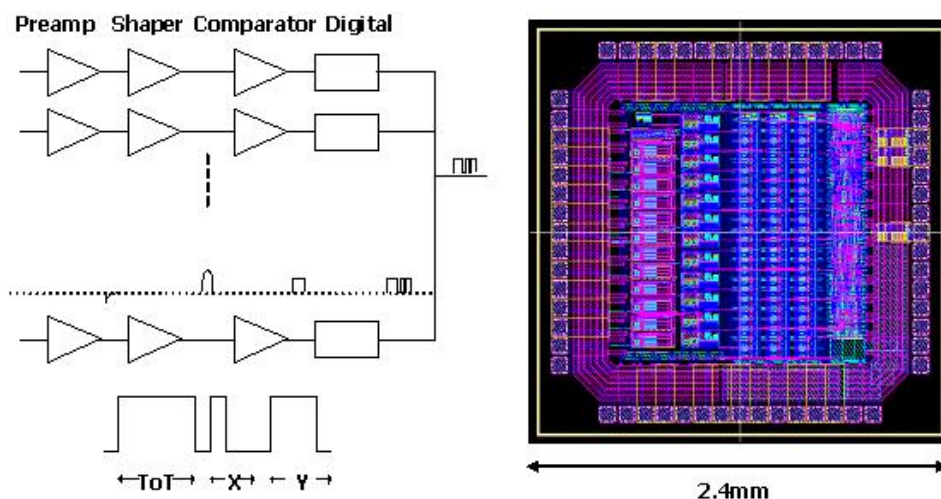


図3 パルストレイン信号処理手法、パルストレイン例 と パルストレインASIC

この例では第一パルスがTOT (Time Over Threshold)パルスでエネルギー情報、続くX,Yがチャンネルアドレスを表現する。パルス幅が(X,Y) = (1,1)でチャンネル1, (X,Y)=(1,2)でチャンネル2等のようにチャンネルを表現する。本方式ではクロックが100MHz(T=10ns)の場合、200ns幅のパルストレインを付加することで 10*10=100chを表現することが可能となる。本パルストレイン方式を用いることでさらに大幅に伝送ラインを減らすことができ、また抵抗分割などのようにS/Nで制限されることなく1000ch以上が表現可能

となる。

Verilog-HDLによりコーディングしたデジタル部をASICに組み込み12chのパルストレインASICを設計試作した。チップサイズは2.4mmx2.4mmである。設計においてはデジタルからのノイズを防ぐためアナログとデジタル部の電源を分離した。デジタルのピンはRESET、CLOCK、WIRED-ORの出力1ピンの3ピンのみである。

本ASICにステップ信号を入力したところ2chを除きチャンネルアドレスに応じてパルス幅の付加が確認され、正常に動作していた。本ASICにより生成されるTOTパルス幅とアドレスパルスをFPGAにより検出することでエネルギー情報、チャンネル情報の復元が可能である。入力電荷とTOT出力のパルス幅の関係を図4に示す。ルックアップテーブルやフィッティング関数を用いることでTOT幅から入力電荷(=エネルギー情報)を復元することが可能となる。

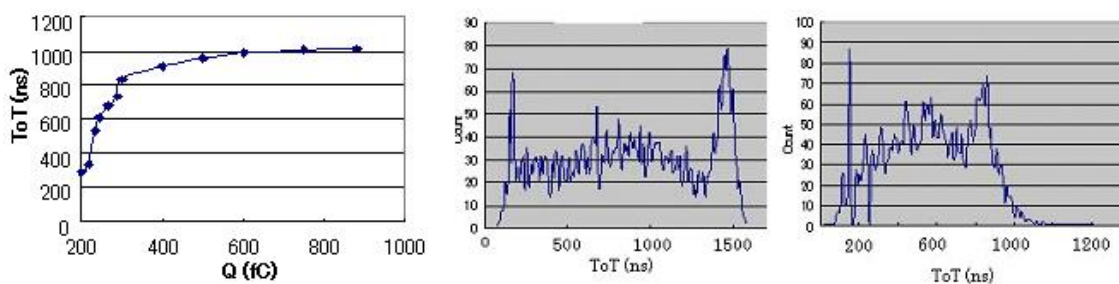


図4 ToT versus 入力電荷 と TOTエネルギースペクトル

本ASICとLYSO (2mmx2mmx10mm)とPMT検出器を組み合わせ実験を行った。線源にはCs137を用いた。実験は2チャンネルのOR出力を用いて1つの伝送ラインで読み出し、TOTとアドレスパルスを検出することでチャンネルの特定、エネルギースペクトルの復元をおこなった。各チャンネルは正常に読み出されており、エネルギー分解能は15%前後であった。各チャンネルのばらつきは検出器のセットアップやチャンネル間のばらつきによると思われる。実際にはこのような校正が必要であるが、ADCなどを用いた波高値を計測するシステムと同等の機能を実現可能であることが確認された。また本手法は従来の波高値を計測する手法と比べて大幅にフロントエンド回路を簡略化することが可能であり、膨大な数のフロントエンドが必要とされる高分解能PETシステムに最適な信号処理手法といえる。

本手法においてはパルストレインを付加することで計数率が低下するため、パルストレインと計数率にはトレードオフの関係がある。Wired-ORを用いた場合とPriority Encoderを用いた場合の推定を行った。TOTパルス幅を1 μ s、パルス生成クロックを100MHz、パルストレインを160ns(64ch)と仮定すると350kcpsで10%のシステムレベルでの計数率の劣化が見られることがわかった。またPriority Encoderが利用可能な場

合はその方が劣化を抑えることができることが判明した。

4. 結論

新規信号処理方式に基づいた波形サンプリング型ASICとパルストレインASICの開発を行った。これらの手法により従来のフロントエンドの大幅な簡略化が可能であり、高分解能PETを実現する重要な手段となる。波形サンプリング型のASICでは信号波形を利用が可能であり、検出器の信号波形変化などの利用まで視野に納めた信号処理を可能とする新しい領域に入ったといえる。またパルストレインASICでは従来の波高値計測では困難であった低電圧化、低消費電力化が可能であり、さらなる低電圧化、デジタル信号処理技術の利用を可能にする方向性を初めて切り開いたものである。パルストレイン方式でのPETはまだ開発されておらず実用化が期待される。