

論文審査の結果の要旨

氏名 Bui・Trong・Tu (ブイ・トロン・トゥ)

本論文は、Analog Circuit Technologies for Associative-Processor-Based Recognition Systems (和訳: 連想プロセッサに基づく認識システムのためのアナログ回路技術) と題し、人間のように柔軟な認識処理実現を目指し、その基本となる連想プロセッサを低消費電力で且つコンパクトに構築するためのアナログ回路技術に関する研究の成果を纏めたもので、全文6章よりなり、英文で書かれている。

第1章は、序論であり、本研究の背景について議論するとともに、本論文の構成について述べている。

第2章は、Compact Bell-Shaped Analog Matching-Cell Module for Digital-Memory-Based Associative Processors と題し、所定の入力電圧に対し出力電流がピーク値をとる共鳴型電流電圧特性を有する素子を用いて連想プロセッサを構成する方法について述べている。直列・並列に4個のNMOSを接続し、各々相補的なゲート電圧で駆動することによりコンパクトな回路構成で共鳴特性を実現している。入力端子に容量を挿入することでテンプレートデータをアナログ値として保持し、入力データとの類似度を電流値として出力するが、微細素子の特性バラツキによるマッチング演算の誤差を低減する新たな回路方式を導入している。このような共鳴回路をマトリクス状に配置することによりアナログ連想プロセッサチップを設計・試作し、実測によりその有効性を実証した。この回路開発は、単電子トランジスタや共鳴トンネルトランジスタ等の量子効果デバイスを用いたシステム構成の方法論を示すという意義も合わせもつ成果である。

第3章は、A Multi-Core/Multi-Chip Scalable Architecture of Associative Processors と題し、前章で開発した連想プロセッサにおいて、過去の記憶を保持するためのメモリー容量を処理速度を犠牲にすることなく増大させる方式について述べている。所定のメモリー容量を持つマッチング・モジュールを複数個チップ内に設けるとともに、同様のチップを複数個並列に配置することで全体の処理能力を必要に応じて増大できる方式である。パルス信号を用いた時間領域演算の Winner-Take-All (勝者検出) 回路を用いているため、チップ間配線のパルス遅延により勝者検出に誤差を生じる可能性があるが、これを防止するための新たな多数決方式を提案している。これらの概念を実証するため、前章よりさらに低電力化した回路方式によるアナログVLSIチップの設計・試作を行い、これによりその有効性を示した。これは重要な成果である。

第4章は、A Rank-Order Searching Circuit Employing Time-Domain Techniques と題し、最も一致度の高い記憶を探し出すWTAの機能をさらに発展させ、一致度の大きさが r 番目である記憶を探し出すための新たな Rank-Order 探索回路の提案を行っている。電圧振幅0, 1のデジタル信号パルスを用いるが、パルス幅によって一致度の大きさを表現す

る時間領域演算方式に基づき、所定のランク r の記憶の位置でのみ極めて幅の狭いパルスが発生させることによりその位置を同定する方式で、実際にアナログ VLSI チップを設計・試作し、実測によりその方式の有効性を実証した。

第 5 章は、A Hamming Distance Associative Processor Employing Time-Domain Techniques と題し、0, 1 のバイナリー値を要素とするベクトルに対し、類似度のランクオーダ検索を行う連想プロセッサについて述べている。バイナリビットの一致・不一致をパルス信号の遅延量に変換し、前章で開発したランクオーダ検索回路を用いて時間領域演算で実現している。アナログ VLSI チップを設計し、SPICE シミュレーションにより有効に動作することを実証した。

第 6 章は結論である。

以上要するに本論文は、人間のよう柔軟な認識処理実現を目指し、その最も基本となる相関演算を共鳴特性を持つ素子を利用して低消費電力且つコンパクトに構築するためのアナログ回路技術を開発するとともに、実際に CMOS 回路を用いて VLSI チップを設計・試作・評価し、その有効性を実測結果によって示したものであり、情報学の基盤に寄与するところが少なくない。

よって本論文は博士（科学）の学位請求論文として合格と認められる。