

論文の内容の要旨

論文題目

Low Power Transistor Design with High-k Gate Dielectric for System-on-Chip Applications

(高誘電率ゲート絶縁膜を有する低消費電力用トランジスタデザインに関する研究)

Yuri Yasuda-Masuoka

氏名 益岡 有里

過去から現在にかけて、電子機器の発展を担ってきた MOSFET は、過去数十年にわたり著しいスケールリングにより性能改善が行われてきた。サイズのスケールリングとともに、更なる性能向上を目指し、新しい技術の開発・研究が積極的に行われている。一方で、急激なスケールリングは物理的限界に直面しようとしている。特に、Metal-Oxide-Semiconductor 構造の Oxide 部分を担うゲート絶縁膜が代表的な例である。従来、ゲート絶縁膜として SiO_2 もしくは SiO_2 に窒素を導入した SiON が用いられている。急激なスケールリングにより、 SiO_2/SiON は数原子層で構成され、 SiO_2/SiON を流れるリーク電流は指数関数的に増加している。その結果、近年、ゲート絶縁膜の薄膜化は滞っている。また、過剰なトランジスタのスケールリングは、“消費電力”と“ばらつき”という 2 大問題に近年直面している。これらの問題を解決するため、回路及びデバイス双方からの策が検討されている。しかし、大多数の解決策は、回路もしくはデバイスから独立に提案されており、それぞれの特徴を活かす提案はほとんどされていない。今後、効果的に“消費電力”と“ばらつき”の問題を解決し、スケールリングによるメリットを活かすために、回路及びデバイス双方の利点を協調するような取り組みが、将来重要となってくると考えられる。

ゲート絶縁膜を流れるリーク電流は“消費電力”を引き起こすひとつの大きな要因となっており、このゲートリーク電流は主にデバイスの改善による削減が必要である。従来の SiO_2/SiON (誘電率 3.9~7.8) に比べて、高い誘電率を有する様々な高誘電率ゲート絶縁膜がゲートリーク電流の削減方法として提案されている。特にハフニウム (Hf) を含有する絶縁膜は高い熱安定性を有することから、従来のトランジスタプロセス工程の適合性があり、次世代のゲート絶縁膜として有望視されている。しかしながら、依然従来の SiO_2/SiON ゲート絶縁膜に比べて、移動度・信頼性の劣化が報告されており、未だ幅広く活用されるに至っていない。その結果、高誘電率ゲート絶縁膜固有の問題点を解決する新たなトランジスタプロセス開発が必要不可欠である。さらに、高誘電率ゲート

絶縁膜固有の問題点として、フェルミレベルピンニングによる高い閾値電圧があげられる。高誘電率ゲート絶縁膜を用いた際の閾値電圧の上昇は、新たなトランジスタデザインを必要とするため、回路の効率を重視したデバイスデザインをもたらす可能性を有している。それゆえ、高誘電率ゲート絶縁膜を有するトランジスタの System-on-Chip (SoC) を考慮した研究は非常に重要になると考えられる。

本研究では、これらを踏まえ、“消費電力”と“ばらつき”問題を解決すべく、回路的解決手法との協調を考慮した HfSiON 高誘電率ゲート絶縁膜を有する低消費電力用トランジスタデザインの提案を目的としている。SoC 適用と“消費電力”と“ばらつき”問題の観点から、(1) トランジスタのチャンネル中不純物の統計的ばらつきの原因及びトランジスタデザインパラメーターの影響の理解、(2) トランジスタ性能、信頼性、基板バイアス印加を考慮した HfSiON トランジスタデザイン、(3) アナログ回路のひとつのパラメータであるフリッカーノイズに与える高誘電率ゲート絶縁膜の影響及び解決方法、に注目してトランジスタデザインを提案する。以下に概要を説明する。

トランジスタチャンネル中の不純物の統計的ばらつきを、不純物“位置ばらつき”と“個数ばらつき”の影響に分離することに成功した。その結果、不純物“位置ばらつき”は全体のばらつきの 50% を占めることを示した。また、トランジスタがスケールされた際の短チャンネル効果の抑制が不純物“位置ばらつき”を抑制する重要なパラメータとなることを明らかにした。しかし、短チャンネル効果抑制はトランジスタスケールに従い困難になる。さらに、チャンネル不純物の“位置”を制御することは難しい。そこで、ゲート絶縁膜のスケールリングやチャンネル不純物の削減といった手法が必要不可欠であることが明らかになった。

トランジスタの“消費電力”と“ばらつき”を抑制するための最も有力な手法の一つとして、薄膜ゲート絶縁膜及び高閾値電圧を有する高誘電率ゲート絶縁膜を有するトランジスタに注目した。そこで、高誘電率ゲート絶縁膜の実用化を妨げている移動度・信頼性の劣化を抑制し、高誘電率ゲート絶縁膜の特徴を損なわない新たなプロセス（高誘電率ゲート絶縁膜を覆うゲート電極やオフセットスペーサー）を開発した。また、フェルミレベルピンニングによる高誘電率ゲート絶縁膜特有の高い閾値電圧を利用したトランジスタデザインにより、高い駆動電力を保ったまま待機時電力を達成することに成功した（図 1）。さらに、消費電力と非統計的なトランジスタばらつきを抑制するひとつの回路的な手法である基板バイアス技術を効率的に利用するために、複数の閾値電圧を有するトランジスタを再設計し、同一チップ上の異なるトランジスタが単一基板電圧で制御できるようにした。その結果、高誘電率ゲート絶縁膜と基板バイアス技術を組み合わせることで、SRAM(Static-Random Access-Memory)の待機時電力を従来の 50 分の 1 に、トランジスタばらつきを半分に減らすことに成功した（図 2）。

最後に、HfSiON ゲート絶縁膜を有するトランジスタを幅広く適用するためには、アナログ回路を考慮しなければならない。そこで、本研究ではアナログ回路の重要なパラメータのひとつであるフリッカーノイズ(1/f ノイズ)に注目した。特に N 型トランジスタのゲート長が短くなるにつれて、HfSiON は顕著にフリッカーノイズを劣化させ、ゲート絶縁膜条件に強く依存することが明らかになった。同時にゲート長・ゲート絶縁膜依存性を記述可能なノイズモデルを提案し（図 3）、

本モデルをもとに、将来のゲート長スケールリングと高誘電率ゲート絶縁膜必要条件をノイズの観点から予測することに成功した（図4）。

これらの結果は、将来の SoC 向け低消費電力用高誘電率ゲート絶縁膜を有するトランジスタを提供し、トランジスタスケールリングが直面している“消費電力”と“ばらつき”問題を効果的に解決できるといえる。本結果は将来の低消費電力用トランジスタの全体性能を改善し、更なるスケールリングを加速させる技術であると考えられる。

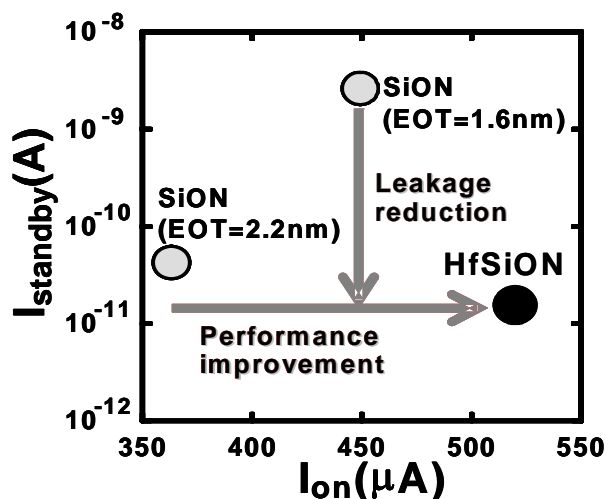


図1 トランジスタの駆動電力(I_{on})とスタンバイ電流(ゲートリーク電流とオフ電流から構成: $I_{standby}$)の関係。従来の SiON ゲート絶縁膜と高誘電率ゲート絶縁膜 HfSiON を有するトランジスタを比較している。HfSiON ゲート絶縁膜はゲートリーク電流を増加させずに酸化膜換算膜厚 (EOT)を薄膜化することができるため、リーク電流削減と駆動電力増加の両方のメリットを得ることができ、優れた駆動電力とスタンバイ電流の関係を得ることができる。

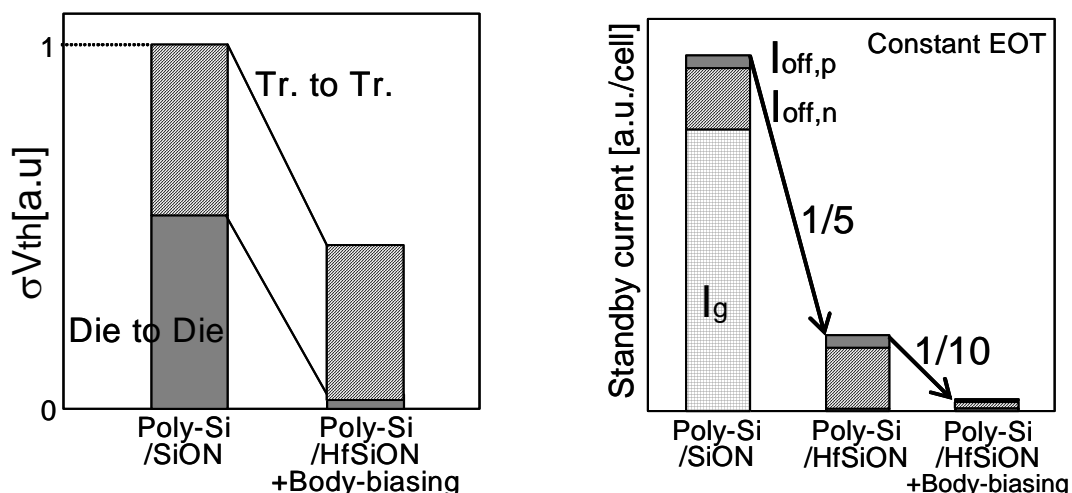


図2 従来試用されている多結晶シリコン/酸化膜と多結晶シリコン/HfSiON+基板バイアス技術を用いたときの、左：閾値電圧ばらつき(σV_{th})と、右：SRAM のスタンバイ電流。HfSiON と基

板バイアスを用いることで、トランジスタばらつきと消費電力の両方が抑制できる。

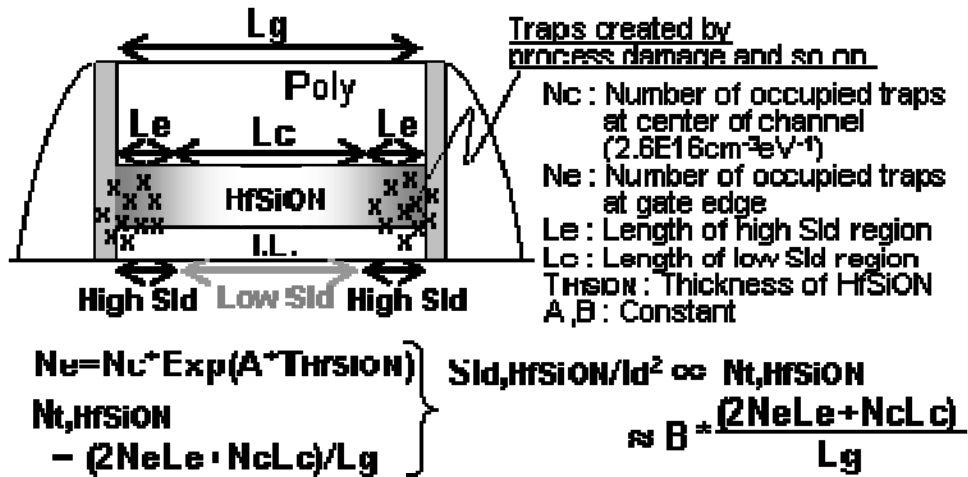


図3 HfSiONを用いた際のフリッカーノイズモデル。フリッカーノイズは絶縁膜中のトラップ数に強く依存すること、HfSiONの実測値から、ゲートエッジにトラップが多く存在することが推測され、ゲート中央部とエッジ部のトラップ数からフリッカーノイズを算出する。本モデルを用いることで、実測値が非常によく記述できることがわかっている。

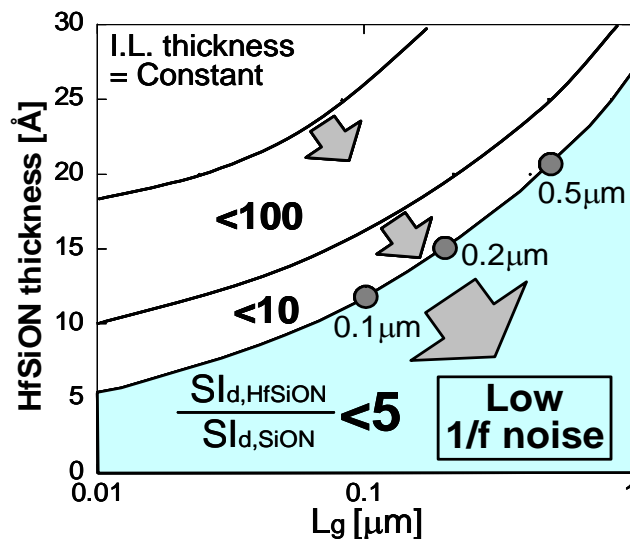


図4 図3に示されているフリッカーノイズモデルを用いて算出した、従来のSiONからのノイズ増加率(5/10/100倍以下)を達成するためのHfSiON膜厚とゲート長の関係。現状、ロジック回路とアナログ回路はゲート絶縁膜を共有しているため、アナログ回路のノイズに対する要求を満たすゲート長及びHfSiON膜厚を選択する必要がある。