

## 審査結果の要旨

氏名 益岡 有里

本論文は、「Low Power Transistor Design with High-k Gate Dielectric for System-on-Chip Applications」(和訳:高誘電率ゲート絶縁膜を有する低消費電力用トランジスタデザインに関する研究)と題し、英文で書かれている。本論文は、ゲート絶縁膜に高誘電率絶縁膜を用いた場合の低電力トランジスタ設計技術を論じたもので、全6章より構成される。

第1章は「Introduction」(序論)であり、大規模集積回路を構成するMOS電界効果トランジスタの微細化の状況をまとめるとともに、高誘電率ゲート絶縁膜の必要性と課題についてまとめており、本論文の背景と目的を明確にしている。

第2章は、「Statistical Transistor Variation」(トランジスタの統計的ゆらぎ)と題し、微細トランジスタにおける特性ばらつきが起る原因を述べるとともに、トランジスタの特性ばらつきを不純物個数ゆらぎ成分と不純物位置ゆらぎの成分に分離することに成功した。その結果、不純物位置ゆらぎの成分が約50%にも達することを初めて明らかにした。

第3章は、「Transistor Design with High-k Gate Dielectric」(高誘電体ゲート絶縁膜を有するトランジスタ設計)と題し、トランジスタの消費電力と抑制する手段として、高誘電体ゲート絶縁膜を有するトランジスタに注目している。移動度・信頼性の劣化を抑制しつつ高誘電率ゲート絶縁膜の特徴を損なわない新たなプロセスを開発するとともに、フェルミレベルピンニングによる高誘電率ゲート絶縁膜特有の高い閾値電圧を利用したトランジスタ設計により、高い駆動電力を保ったまま待機時電力を達成することに成功している。

第4章は、「Body-biasing Scheme with High-k Gate Dielectrics」(高誘電体ゲート絶縁膜を用いた場合の基板バイアス法)と題し、消費電力と特性ばらつきを抑制する手段として基板バイアス技術に注目している。高誘電率ゲート絶縁膜と基板バイアス技術を組み合わせることでスタティックメモリの待機時消費電力を50分の1に、トランジスタの特性ばらつきを半分に低減することに成功した。

第5章は、「Flicker Noise with High-k Gate Dielectrics」(高誘電体ゲート絶縁膜を用いた場合のフリッカーノイズ)と題し、アナログ回路の重要なパラメータのひとつであるフリッカーノイズに注目している。ゲート長およびゲート絶縁膜依存性を記述可能なノイズモデルを提案し、将来のゲート長スケールアップと高誘電率ゲート絶縁膜必要条件をノイズの観点から予測することに成功した。

第6章は「Conclusions」(結論)であり、本論文の結論を述べている。

以上のように本論文は、将来の低消費電力システムLSI応用を目的として、高誘電体ゲート絶縁膜を有するトランジスタにおいて、高い性能と信頼性を維持しつつ特性ばらつきと消費電力を低減することに実験的に成功するとともに、さらに高誘電体ゲートトランジスタのノイズ特性について論じたものであって、電子工学上寄与するところが少なくない。

よって本論文は博士(工学)の学位請求論文として合格と認められる。