

論文の内容の要旨

論文題目 Highly Fault-Tolerant Processor based on Heterogeneous Functional Units

(ヘテロジニアス演算器構成による高耐故障プロセッサ実現方式)

氏名 中村 洋介

我々は故障を前提としたCPUのための高面積効率かつ高水準な処理速度を持つ耐故障演算部を提案する。近年ではCPUチップにおける故障リスクが上昇しており、製造コストの削減や品質保証のための耐故障設計の重要性が高まっている。我々は従来の多重化手法の場合冗長の大きい演算部の改善を行った。

演算部における従来の耐故障方式は演算器回路としての耐故障化であった。演算部を構成する演算器回路は面積コストと演算速度においてトレードオフを持つため、従来方式において演算時間は短いが高面積コスト、もしくは低面積コストであるが演算時間が長い性質を持つ。例えば高速な演算器を単純に多重化する場合(SD-Fast)、高速な演算器が速度貢献の小さい冷予備に使用されるため、面積に無駄が発生する。また低面積コストの演算器が単純に多重化される場合(SD-FT)、命令単体の処理が遅い。

我々は命令列情報を利用して異なる種類の演算器を効果的に併用する異性能演算器混合方式(HFU)を提案する。提案の特徴は次の通りである。

- (1) 多数の面積効率の良い演算器と少数の高速な演算器を併用する。
- (2) 命令列情報を用いて少数の高速演算器で高水準の速度を可能にする。

その結果高水準の処理速度と面積特性にすぐれた耐故障性を実現する。通常演算と検出演算による検出機能付き二重実行型の演算部の中でHFUIは1ラインの高速演算器を通常演算に使用する。HFUIは遅れている命令を高速演算器へ割当てることによりボトルネックの命令列を高速に処理する。また多数の耐故障演算器により故障の増加に対して面積効率よく処理速度を維持可能である。我々は従来方式と提案方式を比較するため、処理速度と使用面積を比較する。速度性能はハードウェアシミュレーションプログラムSimpleScalarとベンチマークプログラムSpec2000より得られるIPCにより比較される。速度比較実験の結果より、演算器構成が維持される場合、HFUIはSD-FTより10%速度低下が小さい。また面積比較の結果より、故障5個を想定する場合の使用面積の期待値の相対比はそれぞれHFUI:1.91、SD-FT:1.51、SD-Fast:1.58であり、提案方式はSD-Fastより使用面積が小さい。複数以上の故障数の場合、提案方式はSD-Fastに比べ処理速度を維持するための面積コストは小さい。実験結果より、HFUIは高水準の処理速度かつ複数故障時に面積コストの良い速度維持を行う。HFUIは高水準な速度かつ速度維持の面積コストの低い耐故障演算部である。高い処理速度を持った耐故障演算部のための本提案は、耐故障プロセッサの高性能化に寄与する。