

論文の内容の要旨

論文題目 多機能システム LSI 用 CMOS のスケーリングに関する研究

氏名 森藤 英治

本論文では、システム LSI の低価格化、高性能化を推進するための CMOS デバイスの微細化が進み、単純な定電界スケーリング則だけでは最適解を求めることが出来ない領域に到達した多機能システム LSI のスケーリング指針について論じており、特にシステム LSI を構成するロジック CMOS、SRAM、RFCMOS に関し、消費電力、速度、集積度、ばらつき、歩留まり、信頼性特性について議論している。

第2章では、「システム LSI におけるスケーリング指針」と題し、CMOS ロジックと SRAM における V_{dd} 、 V_{th} のスケーリングの影響、RFCMOS における素子微細化の効果を議論している。CMOS ロジック回路において、デバイス単体の特性のスケーリングのあるべき方向性を具体化するために、デバイス特性から簡易的に Chip の速度と消費電力を表現するのに代表的な $FO=3$ のインバータを評価回路として定義して、活性化率と規模を仮定して見積もることにより、活性化率と動作周波数にあわせたデバイスの電源電圧と閾値電圧の最適化の必要性和マルチ電源対応のデバイスラインナップの有効性を示した。最適な V_{dd} は、動作周波数に加えて活性化率に依存することが示された。ここでは、低消費電力動作のために、異なる V_{dd} で動作する2つのトランジスタを提案した。高速動作あるいは、高活性化率の回路ブロックでは、 V_{dd} と V_{th} がゆるやかにスケーリングされる H トランジスタ、低活性化率、あるいは低速動作の回路においては、 V_{dd} はほとんどスケーリングされずに、1-1.2V で設定された L トランジスタが効果的である。ロジック回路に加えて SRAM アレイの読み込み歩留まりを調べることで、SRAM 動作にとって最適な V_{dd} の検討を進めてきた。ベータレシオを確保できない高集積 SRAM においては、低 V_{th} は、ノイズマージンの低下、およびオフリーク電流の増大により、歩留まりの劣化が激しいことが示された。特に、高温動作時に、その影響は大きくなる。今回の検討から、 V_{th} は、0.3-0.4V 付近にとどめておくべきで、SRAM 動作の下限電源電圧は、0.7V

であった。最後に、RF性能にとって、重要な指標(メトリック)であるカットオフ周波数(f_T)に関して、ゲート長40nmに到達した45nm世代のデバイスにおいて、ロジックCMOSで適用される微細化がRFCMOS特性にもそのまま効果があるかどうかを検証し、65nm世代デバイスに対してストレス技術を付加した45nm世代のデバイスは、ゲート長が同一でも f_T 改善が確認され、ゲート長を50nmから40nmに縮小することで、さらに f_T の改善が確認された。少なくとも、ロジック回路の微細化の方向性が、RFCMOSの特性改善に寄与することから、デバイスの微細化は、ロジックと同じ方針で進めればよいといえる。ただし、RF特性は、ゲート抵抗などの寄生パラメータに依存するため、デバイス幅、フィンガ長などのレイアウトの最適化があわせて重要であり、デバイス微細化に対応して、レイアウトの調整が必要不可欠である。

第3章では、「SRAM微細化と消費電力低減の両立」と題し、6トランジスタ構成のSRAMセルのレイアウト最適化とスケージングの検討に関して述べる。今回適用した手法においては、読み書き特性に加えて、MOSFETのランダム閾値電圧バラツキにより劣化するノイズマージンに対して動作保証の制約条件を加えて、SRAMのセル縮小と消費電力に関しての最適化を実施した。トランジスタの電流には、解析的なデバイスモデルを適用した。今回、セル面積と消費電力との間に明瞭なトレードオフの関係があることが示された。活性化率が低い大サイズマクロにおいては、消費電力の主要因となるオフリーク電流が V_{th} に対して指数関数的に変化するために、SRAMのゲート長 L_g と電源電圧 V_{dd} のスケージングは、保持すべき結果であった。ゲート長を縮小しないことによる面積増大のペナルティは小さく、22nm世代近辺まで、ほかのデザインルール縮小効果でセル面積の縮小を推し進めることができる。また、ゲート幅縮小ができない領域に入ってくると、セル面積増大無しに3次元構造チャンネルにより有効ゲート幅を拡大することが非常に有効である。

第4章では、「ロジック回路のレイアウトに起因した特性ばらつきを考慮した設計手法」と題して、ストレス技術を適用した45nm CMOSロジック技術において特に顕著になるレイアウト起因の特性バラツキを検討し、このバラツキを設計反映するモデルと手法を構築して、設計マージンを増大させることなく、集積度向上を実現する技術について論じてきた。今回、コンタクト位置、ゲート間距離、曲がった拡散層形状について、実測結果を解析し、モデルを構築した。より高いストレスを有するストレスライナ膜を適用したPMOSにおいて、コンタクト位置の特性への影響感度が大きいことが見出された。このコンタクト位置の効果は、コンタクト、ゲート間距離とコンタクト数によりモデル表現した。ゲート間距離に関しては、近接ゲートだけでなく、新たに2本目のゲートの影響がチャンネルの応力に影響することを示した。最後に曲がった拡散層形状におけるNMOS、PMOSの特性変動について論じてきた。NMOSに関しては、チャンネルのプロファイルが影響を受けていると想定される閾値電圧の変動が見られた。一方PMOSにおいては、SiGe埋め込み層に起因して、チャンネル応力が変化することが示された。この応力変化は、曲がった拡散層とゲートとの距離、曲がった部位の長さや幅によりモデル表現可能であった。この構築されたモデルと設計フローを実際の45nm世代のセルライブラリのレイアウト内トランジスタの特性抽出を実行した結果、集積度を重視したセルの場合、-12%~+14%の振れ幅での電流ばらつきが確認された。今回構築されたモデルと設計反映により、これらのバラツキ要素は、不確定要素から設計に直接反映される確定要素にすることになり、バラツキコー

ナマージンに計上する必要がなくなり、集積度向上とマージン削減の両命題の両立が、大きく前進することになった。45nm 世代のばらつき成分のうち、パターン依存のある成分は、全体の半分ほどを占めており、そのうちの今回取り扱ったレイアウト依存のある MOSFET 特性変動成分の約 25%分が、設計考慮により、マージン削減可能となることが示された。

第5章では、「CMOS 信頼性におけるストレスの影響」と題して、ストレスと信頼性の関係、および FG アニールの効果について論じている。まず PMOS のホットキャリア劣化は、ホール注入によるホールトラップによる影響が大きく、チャネル中央付近の引っ張り応力増加によりホール注入増加につながり、このホットキャリア劣化を増加させることが示された。NBTI ストレスにおけるホットではないホール注入の絶対量およびそのトラップや界面順位発生 の程度に関しては、チャネルストレスの状況によって変化しないことがわかった。応力によるホットキャリア劣化の影響は、NMOS には確認されなかった。また、STI からの圧縮応力が、NMOS の絶縁膜経時破壊(TDDB)に影響を与えることも示された。この TDDB 劣化は、FG アニールによる水素蓄積量に強い相関があることも観測された。FG アニールの軽減により、信頼性は向上する。しかし、DRAM の保持特性は、FG アニールの軽減による接合リーク増加により、劣化する。大容量メモリの要求のあるシステム LSI では、DRAM 搭載が必要なので、その場合は、信頼性と DRAM の保持特性の両者を意識した FG アニール条件の最適化が必須である。最後に、45nm 世代で適用されている埋め込み SiGe を適用した場合のホットキャリア劣化と TDDB 耐性への影響も確認した。SiGe 埋め込み層により、前述の側壁による引っ張り応力とは逆向きの圧縮応力がチャネルに一軸に一律にかかっているが、ホットホールの注入量増加は確認されなかった。また、TDDB 耐性への影響も確認されなかった。このことから、ホール注入量の抑制、および水素プロセスの適正化により、ストレス技術による信頼性劣化を起こすことなくデバイス適用できることを示すことができた。

第6章では、「RFCMOS におけるスケールアップ効果を最大化するレイアウト指針」と題し、RFCMOS のスケールアップの効果を最大化するレイアウトの最適化について論じている。マルチフィンガ構造の MOSFET の場合、 f_{max} 、 NF_{min} は、ゲート上コンタクト取り出し部の存在により、ゲート抵抗とゲート基板容量によるトレードオフが存在することが示された。デバイススケールアップを進める際、最適なフィンガ長を設定することにより、 f_{max} 、 NF_{min} を最大化することが可能で、この場合、デバイススケールアップによる効能を最大限に発揮できる。ひずみ特性(IP3)に対しては、ゲート幅の設定が重要であることを示した。デバイスのスケールアップに対して、ゲート幅の適切な縮小が、ひずみ特性の抑制に対して有効である。RFCMOS にとっては、デバイス設定は、ロジックデバイスの微細化に追従する形で改善していくが、レイアウトの最適化を実施していくことが、スケールアップ効果を最大化する上で重要であることが示された。