

審査の結果の要旨

氏名 森藤英治

本論文は、「多機能システム LSI 用 CMOS のスケーリングに関する研究」と題している。本論文は、単純な定電界スケーリング則だけでは最適解を求めることが出来ない領域に到達した多機能システム LSI 用 CMOS デバイスのスケーリング指針について論じたもので全 7 章より構成される。

第 1 章は「序論」であり、CMOS デバイスの微細化とシステム LSI の多機能化の必要性を論じるとともに、システム LSI の微細化の課題をまとめており、本論文の背景と目的を明確にしている。

第 2 章は、「システム LSI におけるスケーリング指針」と題し、CMOS ロジックとスタティックメモリにおける電圧スケーリングの影響、高周波デバイスにおける素子微細化の効果を議論している。

第 3 章は、「SRAM 微細化と消費電力低減の両立」と題し、6 トランジスタ構成のスタティックメモリセルのレイアウト最適化とスケーリングの検討に関して述べている。セル面積と消費電力との間に明瞭なトレードオフの関係があることを示した。ゲート幅縮小ができない領域に入ると、セル面積増大なしに 3 次元構造チャネルにより有効ゲート幅を拡大することが非常に有効であることを明らかにした。

第 4 章は、「ロジック回路のレイアウトに起因した特性ばらつきを考慮した設計手法」と題し、ストレス技術を適用した 45nm CMOS ロジック技術において特に顕著になるレイアウト起因の特性バラツキを検討し、このバラツキを設計反映するモデルと手法を構築して、設計マージンを増大させることなく集積度向上を実現する技術を提案した。

第 5 章は、「CMOS 信頼性におけるストレスの影響」と題し、ストレスと信頼性の関係について論じている。ホール注入量の抑制および水素プロセスの適正化により、ストレス技術による信頼性劣化を起こすことなくデバイス適用できることを示した。

第 6 章は、「RFCMOS におけるスケーリング効果を最大化するレイアウト指針」と題し、高周波デバイスのスケーリングの効果を最大化するレイアウトの最適化について論じている。高周波デバイスは、ロジックデバイスの微細化に追従する形で改善していくが、レイアウトの最適化がスケーリング効果を最大化する上で重要であることを示した。

第 7 章は、「まとめ」であり、本論文の結論をまとめている。

以上のように本論文は、システム LSI を構成するロジックデバイス、スタティックメモリデバイス、高周波デバイスの消費電力、速度、集積度、ばらつき、歩留、信頼度等に関して実験と計算により総合的に論じ、デバイススケーリングの指針を提示したものであって、電子工学上寄与するところが少なくない。

よって本論文は博士（工学）の学位請求論文として合格と認められる。