

審査の結果の要旨

氏名 ラトナ クリシュナムルティ

本論文は、**Compiler Optimizations for Coarse Grained Reconfigurable Architectures (CGRAs)** (粗粒度再構成可能アーキテクチャのためのコンパイラ最適化) と題し、多数の計算ユニットを有する動的再構成可能アーキテクチャに基づくプロセッサ向けコンパイラ最適化技術が示されており、英文で7章から構成されている。

第1章は、**Introduction** (序章) であり、研究の背景と目的を述べている。動的再構成可能アーキテクチャ研究開発の現状と汎用プロセッサとの比較、特にそれらに対するコンパイラ技術の差異を整理し、動的再構成可能アーキテクチャ向けコンパイラ最適化技術を新たに研究開発することにより、実行性能を大幅に改善できる可能性のあることが示されている。

第2章は、**Background and Related Work** (研究の背景と関連研究) であり、動的再構成可能アーキテクチャのためのコンパイラ技術の現状を整理している。また、動的再構成可能アーキテクチャの具体的実現例として、**REDEFINE** プロセッサアーキテクチャの概要が説明されている。**REDEFINE** は本論文の提案手法を評価する際に利用されている。

第3章は、**Control-Data Interaction Graph** (制御・データ関連グラフ) であり、動的再構成可能アーキテクチャでは、多数の計算ユニットがあり、かつそれらの構成を動的に変更できるため、制御のみ、あるいはデータのみから最適なスケジューリングや計算ユニットの割当てを行うことができない。そこで両者を統合し、両者の関連を明示的に示すグラフを新たに提案するとともに、それを利用することで、効率的にスケジューリングや計算ユニットの割当てが可能となることが示されている。また、C言語などのプログラムからの生成手法についても述べている。

第4章は、**Speculative Prefetch Mechanism for Temporal Partitions** (時間軸上の計算の分割のための投機的プリフェッチ機構) であり、動的再構成可能アーキテクチャで問題となる再構成時のオーバーヘッドを削減するためのプリフェッチ機構が提案・評価されている。計算を単純に実行すると、再構成した後実行することになり、再構成時間がオーバーヘッドとなる。しかし、プリフェッチ機構を導入すれば、これらをオーバーラップすることができ、再構成のための処理時間を見かけ上隠すことができる。多数の計算ユニット持つ動的再構成可能アーキテクチャの場合、条件文の選択肢が多数ある場合があり、従来のプリフェッチ機構を拡張する必要がある。ここでは、その拡張法を示すとともに、それを実際のアーキテクチャである **REDEFINE** アーキテクチャに適用し、ハードウェア設計も含めて評価を行い、その有用性を示している。

第5章は、**Spatial Partitioning**（空間的分割）であり、**REDEFINE** アーキテクチャを例として、多数の計算ユニットで並列に実行するためのプログラム分割手法について述べている。従来から提案されている各種アルゴリズムを **REDEFINE** 向けに修正するとともに、**Edge Betweenness Centrality** と呼ばれる評価関数に基づく新規分割手法を提案している。ベンチマークプログラムによりこれらの評価を行い、**Edge Betweenness Centrality** に基づく分割手法を適用することで、最も実行速度が向上できることが示されている。

第6章は、**Mapping and Consolidated Results**（マッピング手法と総合的結果）であり、分割されたプログラムを具体的に計算ユニットにマッピングする手法を示すとともに、今までに提案した手法全体としての評価を行っている。総合的な性能評価として、具体的に **AES** 暗号を実装したプログラムについて評価を行っている。提案手法に基づいてコンパイルし **REDEFINE** アーキテクチャに基づくプロセッサで実行すると、先端汎用プロセッサ上の実行と比較し、10 倍から13 倍程度高速に実行できることが示されている。

第7章は、**Conclusion and Future Work**（結論と今後の課題）と題し、本論文の研究成果をまとめるとともに、今後の発展方向について議論している。

以上、多数の計算ユニットを有する動的再構成可能アーキテクチャに基づくプロセッサ向けコンパイラ最適化技術に関し、多数のプロセッサを空間的・時間的に有効利用するための手法として、その解析のための制御・データ関連グラフの提案、多数の計算ユニットを有効利用できるプリフェッチ機構、動的再構成可能アーキテクチャ向けの新規分割・マッピング手法が提案・評価され、また具体的応用で汎用プロセッサでの実行と比較し10 倍以上の高速化が達成されており、電子工学の発展に寄与する点は少なくない。

よって本論文は博士（工学）の学位請求論文として合格したものと認められる。