

審査の結果の要旨

氏名 李 蓮福

本論文は、**Debug Support for VLSI Designs Based on Error Trace Analysis** (エラートレース解析に基づく VLSI 設計のデバッグ支援)と題し、VLSI における設計バグに対するデバッグ作業を支援する技術に関し、整合後のチップ実行から得られるエラートレースを効率的に解析してデバッグを行うための手法が示されており、英文で7章から構成されている。

第1章は、**Introduction** (序章) であり、研究の背景と目的を述べている。VLSI 設計における誤設計に対するデバッグに要する時間は、半導体の微細化による設計の大規模・複雑化のため、その設計期間全体に占める割合が益々増大している。VLSI 設計の流れとデバッグ作業の現状の問題点を整理し、研究の方向性として、高位設計記述を利用した実行エラートレースの動的な解析が重要であることを示している。

第2章は、**An Overview of Hardware Debug Support** (ハードウェア誤設計デバッグの概要) であり、主要な現状のデバッグ手法として、誤設計箇所の絞り込み手法、並びに、実行エラートレースを利用したデバッグ手法を説明している。絞り込み手法としては、SAT ソルバーなどの論理関数の解析技術を利用して因果関係を効率よく解析する手法が提案されているが、ゲートレベルの回路を対象としているため、扱える回路規模やエラートレースの長さに限界がある。またエラートレースが効率良く解析できるように、VLSI 動作時の内部信号などの状態を記憶しておくバッファを利用するなど、設計をデバッグし易いように変更する手法や、形式的手法と組合せる手法などが提案されているが、適用の仕方がアドホックであったり、対象がプロセッサに限定されるなど問題があることが示されている。

第3章は、**Fundamental Techniques and Basic Notions** (基本手法と考え方) であり、関連技術として、ハードウェア高位合成手法、動的プログラムスライシング手法、レジスタ転送レベルの設計を一般的に表現する **FSMD** (Finite State Machine with Datapath) の導入と、デバッグ作業での利用法に関する現状技術を説明している。

第4章は、**d-tag: Dependency Tag for Dynamic Signal Sequence Slicing Method** (d-tag に基づく動的シーケンススライス手法) であり、従来ソフトウェアとしてのプログラム解析技術として利用されていた動的スライシング手法を VLSI 内でハードウェアにより実現する手法が提案・評価されている。FSMD で表現された VLSI 設計から自動的に動的スライシングを実行するためのハードウェアが提案手法により自動生成される。これにより、VLSI の出力値が正しくなかった場合、VLSI 自身が自動的に信号伝搬の因果関係を自動的に辿り、誤設計の箇所の特定に有用な情報を生成することができる。追加されるハードウェア量も大規模設計では数%以下に押さえられることが

実験により示されている。また、提案手法をソフトウェアとして実装することにより、通常的设计段階のデバッグにも利用できることも示されている。

第5章は、**I/O Sequence Mapping Method between a High-level Design and a Low-level Design**（上位設計と下位設計間の入出力シーケンスのマッピング手法）であり、チップ実行による得られるエラートレースから、高位設計のシミュレーションのための入力パターンを自動生成する手法が示されている。デバッグの基本として、計算機シミュレーションによるエラーの再現が重要であるが、チップの実行トレースは非常に長く、シミュレーションでは再現できない。しかし、高位設計に対するシミュレーションはチップレベルと比較し、1,000以上高速であり、より長いエラートレースを再現できる。しかしRTL以降の設計では、クロック周期ごとの動作は同じであるが、高位設計では実行の並列性や順序が異なり、エラートレースをそのまま利用して高位設計のシミュレーションを行うことはできない。提案手法により、設計者の最小限の情報で自動的に高位設計用のシミュレーションパターンを自動生成できることが示されている。

第6章は、**A debugging flow of a low-level design using a high-level design**（高位設計記述を利用した下位設計に対するデバッグフロー）であり、前章までで示された検証手法を統合した設計デバッグ手法とその流れを提案している。またそれを例題へ適用・評価し、その有用性を示している。

第7章は、**Conclusion and Future Work**（結論と今後の課題）と題し、本論文の研究成果をまとめるとともに、今後の発展方向について議論している。

以上、VLSI設計における設計バグに対するデバッグ作業を支援する技術に関し、製造後のチップ実行から得られるエラートレースを利用する際、その高位設計への自動マッピング手法やハードウェアによる因果関係処理手法などを適用することで効率的に解析しデバッグを行うための設計手法が示され、実験を通じたその有用性が示されており、電子工学の発展に寄与する点は少なくない。

よって本論文は博士（工学）の学位請求論文として合格したものと認められる。