

## 審査の結果の要旨

氏名 馬 奕涛

本論文は、**A Hierarchical Multiple-Chip K-means Processor System for Real-Time Visual Learning and Perception** (視覚情報の実時間学習・認識のための階層型マルチチップ K-means プロセッサシステム) と題し、人間のように柔軟な画像認識システム構築に関し、特に大量の画像情報の実時間学習と認識処理実現を目指し、K-means 分類アルゴリズムを並列処理で効率よく実行する階層型アーキテクチャを提案するとともに、これを専用デジタルプロセッサとして実現する研究の成果を纏めたもので、全文 6 章よりなり英文で書かれている。

第 1 章は、序論であり、本研究の背景について議論するとともに、本論文の構成について述べている。

第 2 章は、**K-means Learning Algorithm for Real-Time Visual Analysis** と題し、K-means 分類アルゴリズムの画像認識応用に関し 2 つの例をとり挙げ、シミュレーションによりその有効性を検証している。方向性エッジ情報の空間分布を表す画像の特徴ベクトル表現を用いて、様々な物体の存在する静止画より、先見的な知識無しに対象物のセグメンテーションが可能であること、並びにテクスチャの認識に有効に応用できることを示している。

第 3 章は、**A Binary-Tree Hierarchical Multiple-Chip Architecture for Real-Time Large-Scale Learning Processor Systems** と題し、二分木の階層的な構造により、大量のデータ増加に対し容易にスケールアップできるプロセッサアーキテクチャを提案している。ローカルメモリと距離演算ユニットを一組のコアとし、これを多数並列に配置した構成をとるが、距離演算に用いるクロックに対し数分の一の遅いクロック周波数で重心演算回路を動かすことにより、チップ間データ転送による時間のロスを、ローカルな距離演算の回数を稼ぐことで有効に吸収している。またチップ内にシフトレジスタで構成した可変遅延回路を装備し、その遅延時間を選択することだけで、全く同じ構成のチップを用いて、階層構造のどのレベルにでも適合できるようにした。4 コアからなる概念検証チップを  $0.18\ \mu\text{m CMOS}$  プロセスを用いて設計試作し、測定により動作を確認するとともに、例えば XGA サイズ画像のセグメンテーションに関し、100MHz の動作で、GHz 動作プロセッサと比較して約 2 万倍の高速化が図れることを示した。これは重要な成果である。

第 4 章は、**Adaptive K-means Learning Algorithm for Real-Time VLSI Implementation** と題し、K-means アルゴリズムによる分類結果の性能に大きな影響を与える初期値の設定を、チップ自身が自動的に行えるハードウェアア

ルゴリズムの提案を行っている。分類クラスタの数  $K$  を一つずつ増加させながら学習を行い、VRC (Variance Ratio Criterion) が極大値を取るように  $K$  の値を決める。この初期値自動決定機能は、第 3 章で提案したアーキテクチャの基本構造に大きな変更を加えることなく、僅かな機能回路の追加で実現できる。シミュレーションにより画像のセグメンテーションを行い、この初期値決定のアルゴリズムが有効であることを示している。

第 5 章は、Design of Adaptive Multiple-Chip K-means VLSI System for Real-Time Large-Scale Visual Learning and Recognition と題し、第 3 章で開発した階層型プロセッサアーキテクチャに対し、その K-means 学習機能に加え、新たに認識処理機能を追加するとともに、第 4 章で提案した初期値自動生成アルゴリズムも実装する方法について述べている。これらの機能増強を、二つの機能回路の追加、即ち、最大値の存在場所を同定する Winner Take All 回路、並びに VRC 演算回路の追加だけで実現できることを示すとともに、特に VRC 演算回路に関しては、既にチップに搭載済みの回路を有効利用することによりハードウェア量の増加を最小限にとどめている。これらの回路の設計を行い、回路シミュレーションにより有効に動作することを示している。これは有用な成果である。

第 6 章は結論である。

以上要するに本論文は、人間のように柔軟な画像認識システム実現を目指し、特に大量の視覚情報の実時間学習を目標に、二分木構造の階層型 K-means プロセッサアーキテクチャを開発し、本来の学習処理機能に加え、初期値の自動決定機構、並びに認識処理機能までも実装できる方式を提示し、そのコア部分の設計試作を行い、測定と回路シミュレーションによって動作を実証したもので、電子工学の発展に寄与するところが少なくない。

よって本論文は博士（工学）の学位請求論文として合格と認められる。