

# 論文審査の結果の要旨

氏名 西尾 和記

論文提出者は、遷移金属酸化物を利用した人口超格子構造における2次元電子ガス形成と電界によるキャリア濃度変調による物性探索を研究テーマにしている。本論文は6章で構成されており、第1章では研究背景と目的として、多様な物性を示す強相関係の遷移金属酸化物の典型的な例を紹介し、研究テーマとなる  $\text{SrTiO}_3$  の基礎的物性を説明している。さらに電界効果によるキャリア濃度変調の原理と面電荷密度と電界の関係について紹介している。論文提出者は試料に電界印可を行う方法としてトップゲート型電界効果トランジスタ (FET) を採用し、チャンネルとなる単結晶  $\text{SrTiO}_3$  基板上に格子不整合率の低いゲート絶縁体をエピタキシャル成長させることで作製している。第2章では FET が2層のゲート絶縁体薄膜を有する複雑な構造のため、ゲート薄膜成長装置や各作製プロセスに必要な加工装置と評価装置の詳細な説明をしている。

3章ではまず、 $\text{SrTiO}_3$  と格子不整合率が1%未満というエピタキシャル成長に有利なワイドギャップ絶縁体  $\text{DyScO}_3$  を採用した FET の作製、評価を報告している。まず  $\text{DyScO}_3$  薄膜をパルスレーザー堆積法 (PLD 法) によりエピタキシャル成長させ、成長パラメーターである温度、酸素雰囲気圧力、そしてレーザーアブレーションエネルギー密度らを系統的に変化させることで絶縁破壊強度が高い薄膜を得た。さらに論文提出者が注目した点は、 $\text{SrTiO}_3/\text{DyScO}_3$  ヘテロ界面の電気伝導の変化と PLD 薄膜成長パラメーターの関係である。1層目のエピタキシャル  $\text{DyScO}_3$  薄膜成長後に、ヘテロ界面の電気伝導は  $\text{DyScO}_3$  薄膜成長時の酸素雰囲気に敏感であることから  $\text{SrTiO}_3$  中に酸素欠損が導入されることを明らかにしている。また論文申請者が作製する FET 構造は2層のゲート絶縁体薄膜を有しており、2層目のゲート絶縁体 (アモルファス  $\text{DyScO}_3$ ) 薄膜成長後にもヘテロ界面の電気伝導が変化する。これは1層目のエピタキシャル  $\text{DyScO}_3$  薄膜成長時に生成される酸素欠損とは異なる原因であることを論文申請者は主に二つの実験から明らかにしている。まずこの2層目成長後のヘテロ界面の電気伝導は半導体的になり、大気中熱処理を施しても  $\text{DyScO}_3$  薄膜成長条件次第で変化しないこと、もう1つは陽電子消滅法による試料中酸素欠陥の評価から、2層目の成長時  $\text{SrTiO}_3$  中に酸素欠損は導入されないことを観測した。さらにトランジスタ動作の評価からこの2層目成長後のヘテロ界面へのキャリ

ア生成はゲート絶縁薄膜中の正に帯電した固定電荷からの電界効果によるものと推定している。これらの実験で論文申請者は FET 作製をする際に、ゲート薄膜の絶縁破壊強度の観点に加えて、ヘテロ界面電気伝導変化の起源も明らかにしつつ多様なパラメーターを最適化して報告している。これらに加え、チャネルサイズの微細化による特性向上も試みており、界面散乱やキャリア捕獲現象を抑制するための FET 作製に重要な指針を与える結果となっている。なお陽電子消滅法による試料測定は筑波大学上殿研究室により行われているが、論文提出者が主体的に試料作製等を行ったもので、論文提出者の寄与が十分であると判断する。

第4章ではヘテロ界面にデルタドープ層を導入した人口超格子で FET デバイスを作製している。SrTiO<sub>3</sub> は高い誘電率と、電界に依存した誘電率変化らが原因で界面のキャリア蓄積層が空間的に広がってしまうのが低次元系形成する問題であった。この課題を解決するために、論文提出者は SrTiO<sub>3</sub> 表面に極薄膜電子ドープ層を埋め込み、それを電界制御することを試みている。この研究においてドープ層として(La,Sr)O 岩塩層を1層のみ形成し、ゲート薄膜 (CaHfO<sub>3</sub>) でこの電子ドープ層を埋め込んでいる。この研究において論文申請者は CaHfO<sub>3</sub> 薄膜成長後に金属的なヘテロ界面は絶縁化することを発見した。この原因を硬 X線放射光光電子分光法 (HX-PES) により SrTiO<sub>3</sub> 表面近傍に空乏層が形成されていることを詳細に評価している。HX-PES においては Spring8 のビームライン BL15XU にて九州大学吉川教授、NIMS 光学センシング材料グループ主幹研究員角谷 両氏らのもと測定が行われているが、論文提出者が主体的に試料作製、測定、評価を行っており論文提出者の寄与が十分であると判断する。この研究において論文提出者はデバイス加工の必要のない薄膜成長のみによる自然電界効果を発見し、FET による電界印可と組み合わせることで SrTiO<sub>3</sub> のキャリア蓄積層と空乏層を制御し界面輸送特性の制御に低温でも成功している。

第5章では様々なヘテロ界面を有する FET を作製し、界面の散乱現象について議論している。SrTiO<sub>3</sub> との格子不整合率の低いゲート絶縁体材料や岩塩層導入の FET からヘテロ構造の違いを電界効果移動度との関連を詳細に調べ低温でも散乱効果を無視できるほどの FET 特性を得ることに成功している。さらに論文提出者は、FET 特性のしきい電圧のシフトも新奇なヘテロ構造を作製することで緩和することに成功しており、この結果は界面輸送特性を利用したエレクトロニクスにおけるデバイス作製において重要な知見となる。

したがって試料作製と評価など多岐にわたる論文提出者の研究から、博士(科学)の学位を授与できると認める。